

Arnold Wiemers

*... Aspekte der Leiterplatten- und
Baugruppenproduktion*



LeiterplattenAkademie



Der Anfang von Allem



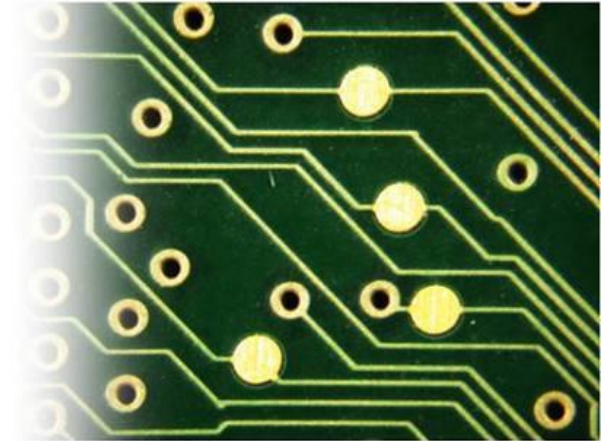
Die Anforderungen

Diese drei übergeordneten Bereiche sind wichtig :

Die Layout-Erstellung

Die Leiterplattenfertigung

Die Baugruppenproduktion



Die Komplexität der Zusammenhänge führt zu der Forderung, daß ein Mitarbeiter in einem Bereich der Prozeßkette auch die beiden anderen Bereiche kennen muss, um alle Anforderungen an die Funktion der Baugruppe (...i.e. des Gerätes) erfolgreich umsetzen zu können.



Das Layout ist die Konstruktionsvorgabe für die Fertigung der Leiterplatte. Layout und Leiterplatte bestimmen die Wirtschaftlichkeit und die Funktionalität der Baugruppe.

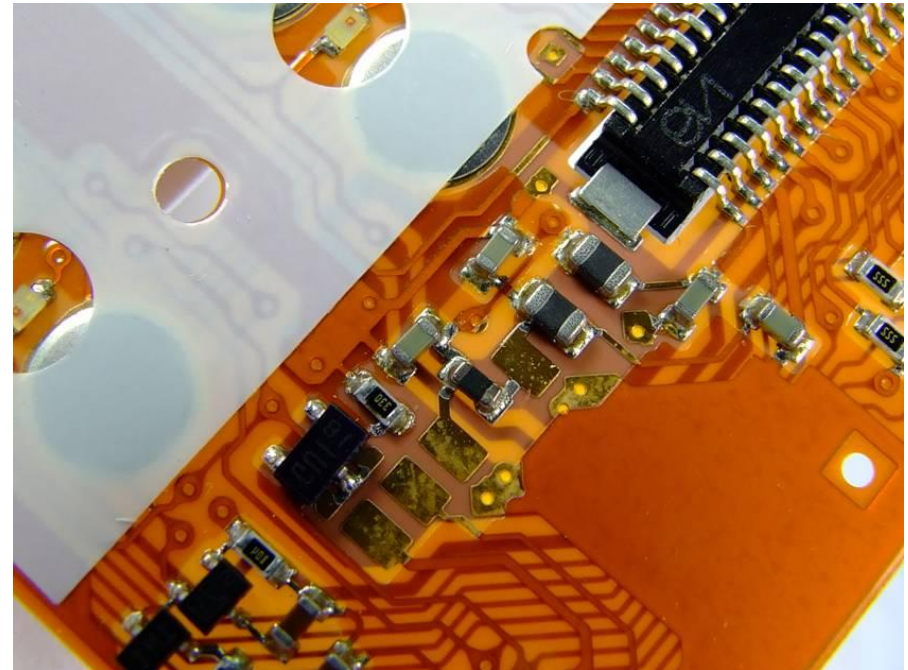
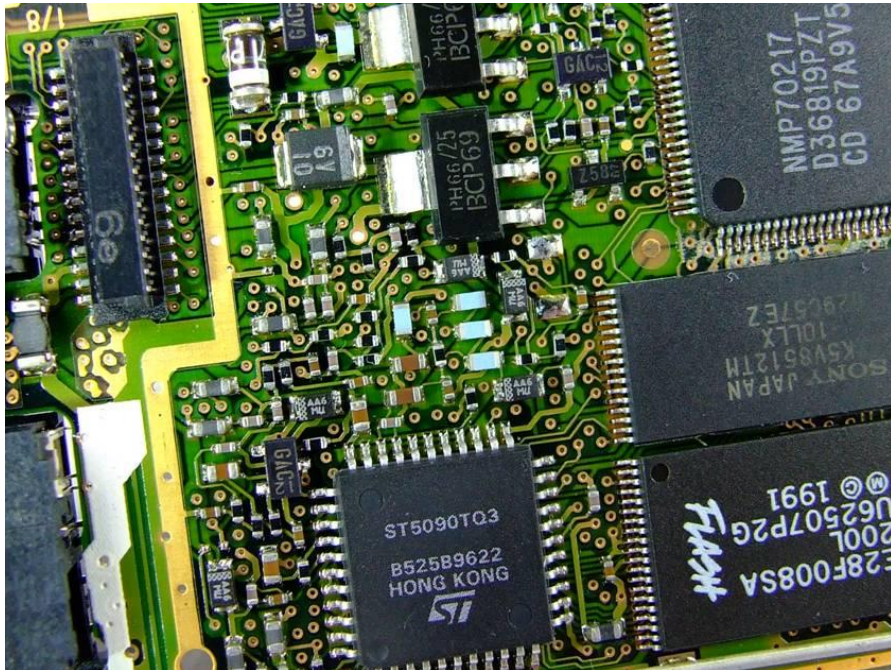


Die Geometrie bestimmt das Sein

Seit zirka 2005 ist mit der Reduzierung der Gehäuseabmaße und der Löt- und Anschlußflächengeometrien eine Grenze überschritten worden. Die MFT (MicroFinelineTechnology) mit Bildstrukturen $\leq 85\mu\text{m}$ wird deshalb die HDI (High-Density-Interconnect)-Technologie ablösen.

Die vorhandenen Designregeln sind bereits oft unzutreffend und in sich nicht mehr schlüssig. Die zunehmenden Probleme mit Funktionsdefiziten bei Leiterplatten und Baugruppen haben Signalwirkung.

Es ist *völlig ausgeschlossen*, den Übergang von der HDI-Technologie zur MFT mit den alten Designregeln und Verhaltensstrategien zu schaffen.



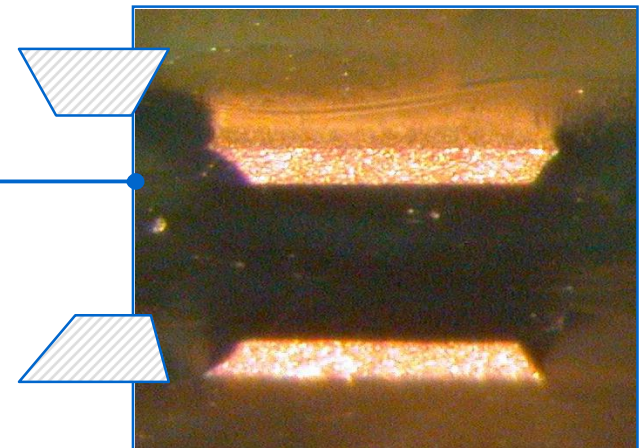
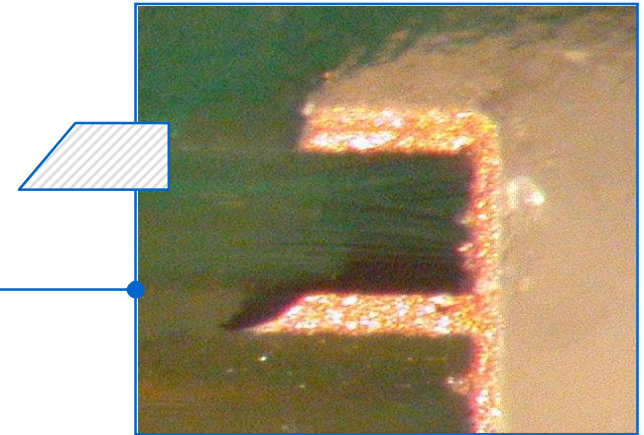
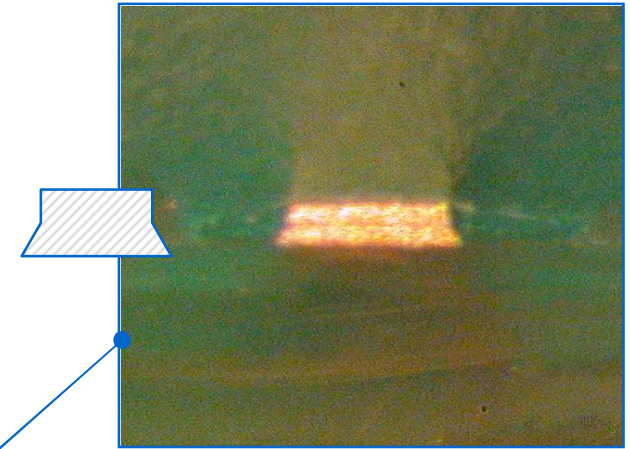
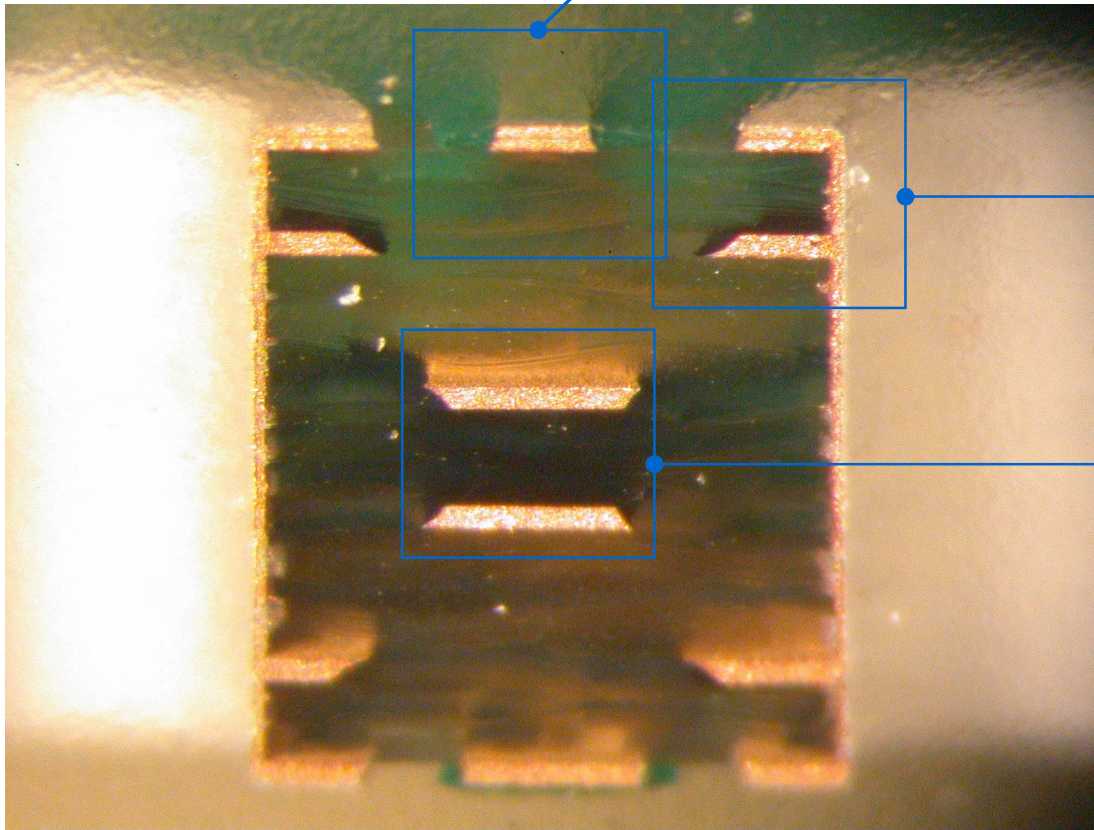


Querschnittsprofil + $\tan \alpha$

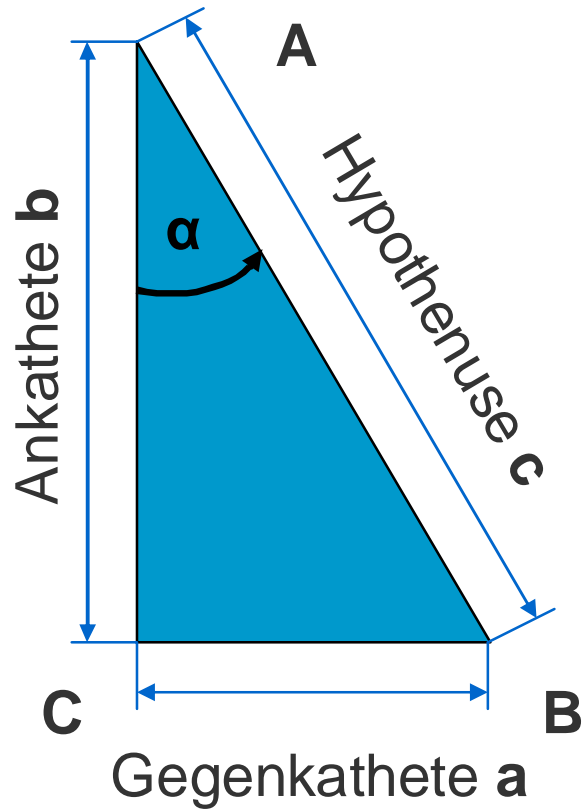


Querschnittsprofil : Profilvarianten

Die Querschnittsprofile der Leiterbilder weichen deutlich von der idealen Rechteckgeometrie ab. Das verändert die physikalischen Eigenschaften von Leiterbahnen ebenso wie die Funktionsfläche von Bauteilanschlüssen.



Querschnittsprofil : Definition des Tangens Alpha



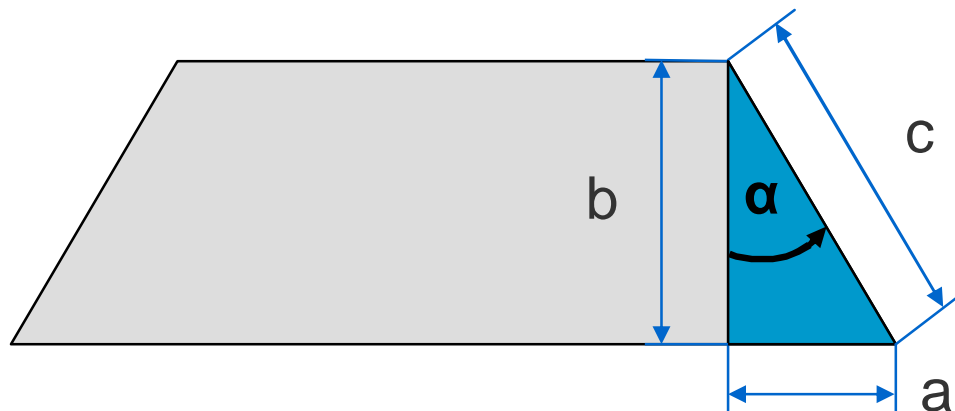
Die Längen für a, b und c sind nicht ohne weiteres ermittelbar. Die Dokumentation der CAD-Daten gibt dazu keine Auskunft.

Eine Beziehung zwischen diesen Größen kann über die *trigonometrische Definition* des Tangens beschrieben werden.

Allgemein gilt :

$$\tan \alpha = \frac{\text{Gegenkathete}}{\text{Ankathete}} = \frac{a}{b}$$

$$\begin{aligned} \text{Gegenkathete} &= \text{Ankathete} \cdot \tan \alpha \\ a &= b \cdot \tan \alpha \end{aligned}$$



Alpha ' α ' ist der Winkel zwischen der Flanke 'c' der Bildstruktur und der Kupferdicke 'b'.

Ätzfuß : Definition

Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen dem Ätzfuß und der Kupferdicke formuliert.

Definition (Ätzfuß)

$$\text{Ätzfuß} = \text{Kupferdicke} \cdot \tan \alpha$$

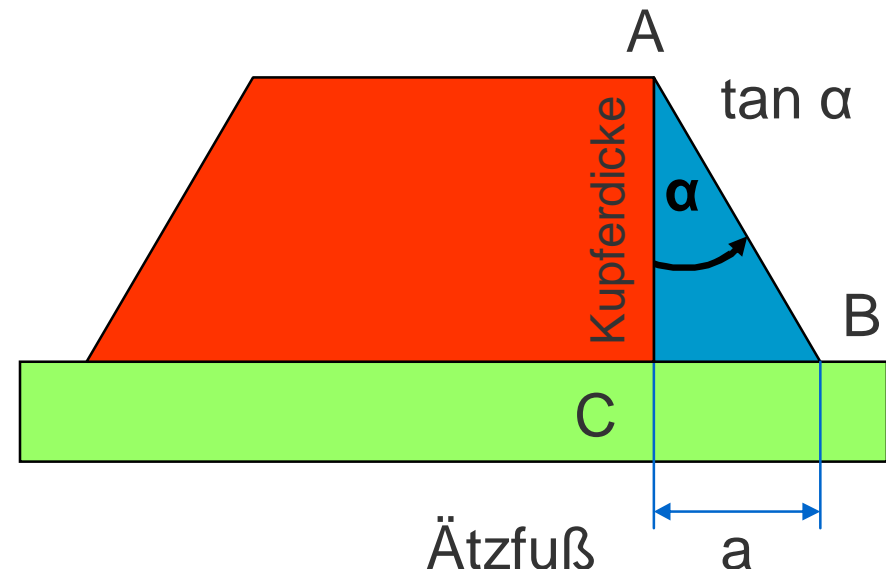
Hinweis (TangensAlpha)

Die Kupferdicke ist genau oder innerhalb eines Intervalls bekannt. Der Tangens ist eine prozeßbezogene Größe und ist ebenfalls genau oder innerhalb eines Intervalls bekannt. Mit dieser Definition kann der Ätzfuß genau oder innerhalb eines Intervalls berechnet werden.

Aus der Definition läßt sich die folgende Abhängigkeit ableiten.

Regel (Abhängigkeit des Ätzfußes)

Der Ätzfuß ist *ausschließlich* von der Kupferdicke abhängig.

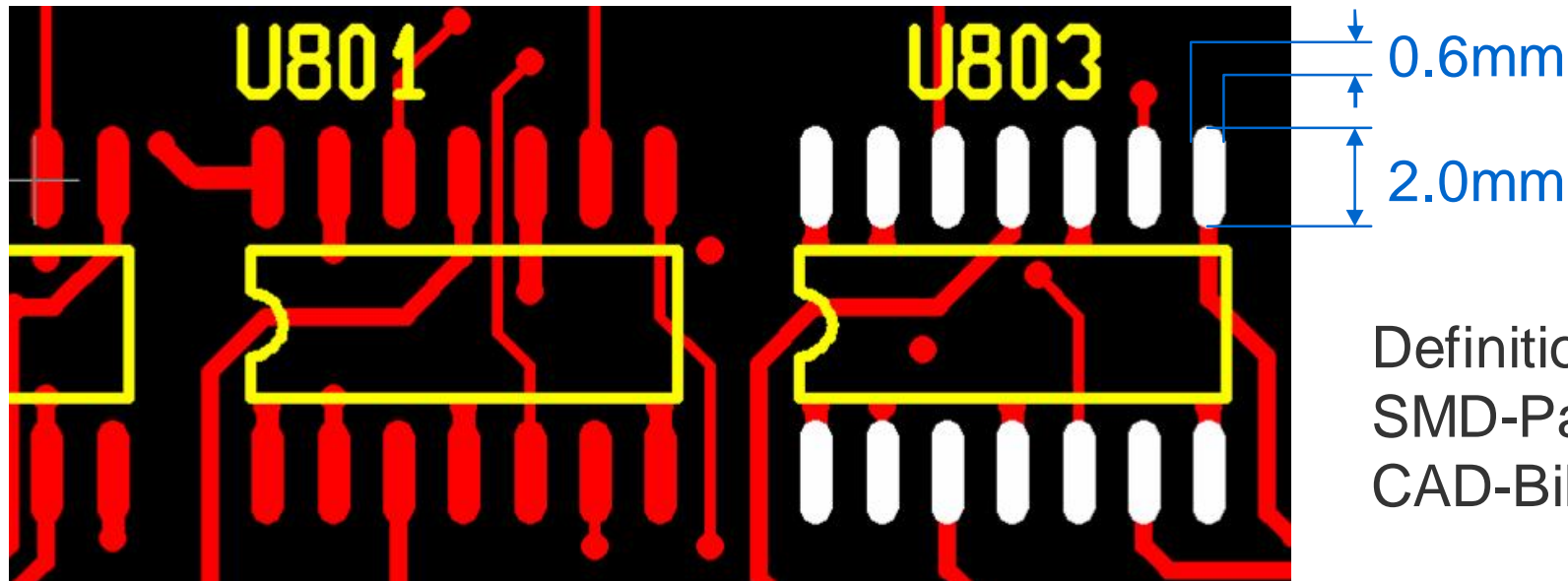


tan α : Beispiel Flächengeometrien

Der trigonometrische Ansatz verknüpft die Arbeit an der CAD-Bibliothek mit den Anforderungen an die Lötmechanik im Zuge der Baugruppenproduktion.

Maßgebliche Kenngröße ist mit dem **tan α** die jeweils individuelle Qualität der Produktionsprozesse auf Seiten des Leiterplattenherstellers.

Ätzwinkel (bei 35 μ m Cu)	Maß	Reduzierung (umlaufend)	Fläche (effektiv)	Differenz (zur Vorgabe)
0°	0.600 x 2.00mm	0 μ m	1.12mm ²	0%
20°	0.575 x 1.98mm	12.8 μ m	1.07mm ²	4.5%
30°	0.560 x 1.96mm	20.1 μ m	1.03mm ²	8.0%.



Definition eines
SMD-Pads in der
CAD-Bibliothek



Physik

Die Anforderungen

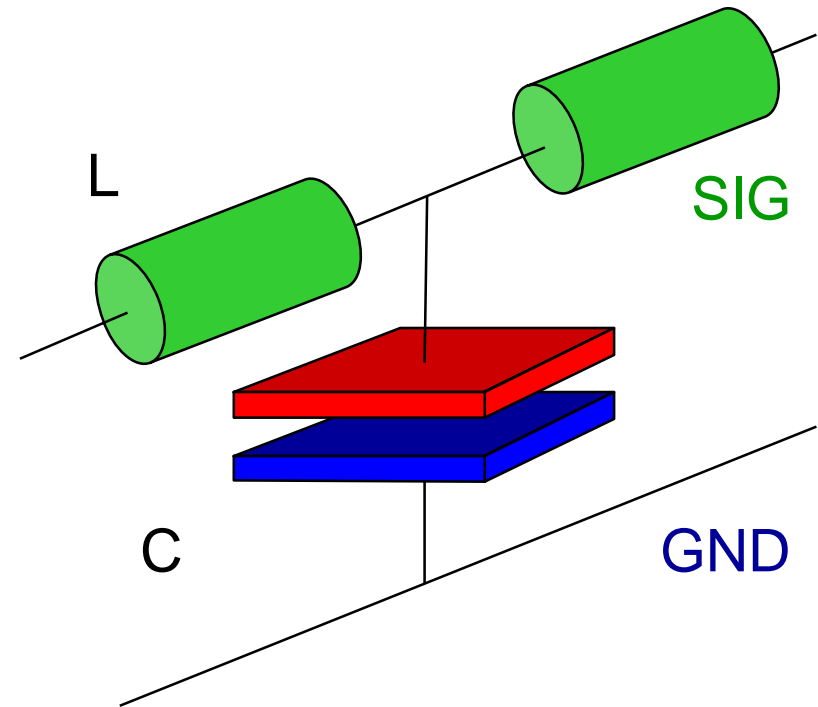
Technologische Hintergründe

Der Querschnitt einer Leiterbahn definiert über die Leitungslänge das Gewicht, den elektrischen Widerstand, die Signalübertragungsgeschwindigkeit, die Kapazität, die Induktivität und die Entwärmung.

Das elektromagnetische Feld zwischen den Leiterbahnen definiert über die Einkopplung die Impedanz, die Signalintegrität und das EMV-Verhalten. Der räumliche Abstand zwischen den Leiterbahnen definiert das Übersprechen, die Kriechströme und die Spannungsfestigkeit.

Diese Effekte wirken direkt auf die Funktion einer Baugruppe.

► Die qualitativen Konsequenzen für die physikalischen Eigenschaften einer Baugruppenkonstruktion müssen präzise vorausgesagt werden können.



Signalgeschwindigkeit : Physik und Leiterplattentechnologie

Hinweis (Signalgeschwindigkeit)

Die Signalgeschwindigkeit ist abhängig von den dielektrischen Eigenschaften des Basismaterials.

Definition (Signalgeschwindigkeit)

Für die Signalgeschwindigkeit $v_{(\text{sig})}$ gilt :

$$v_{(\text{sig})} = \frac{c}{\sqrt{\epsilon_r}} \frac{[\text{cm}]}{[\text{ns}]}$$

Hinweis (Permittivität)

Die Variable "c" (...vom lateinischen *celeritas*) steht für die *Ausbreitungsgeschwindigkeit* elektromagnetischer Wellen und hat im Vakuum einen Wert von $3 \cdot 10^{11} \text{ mm/s} \sim 3 \cdot 10^2 \text{ mm/ns} \sim 30 \text{ cm/ns}$.

Mit der Variablen " ϵ_r " wird die *relative Dielektrizitätskonstante* oder auch die *relative Permittivität* (...vom lateinischen *permittere* ~ durchlassen) des Basismaterials bezeichnet.

Die *Speicherkapazität* eines Basismaterials ist direkt proportional zu seiner relativen Permittivität.



Signalgeschwindigkeit

Beispiel (Signalgeschwindigkeit)

Vorgegeben ist eine relative Permittivität von 4.10 bei einer Frequenz von 1GHz. Referenz ist FR4 des Typs NP-155 der Fa. NanYa.

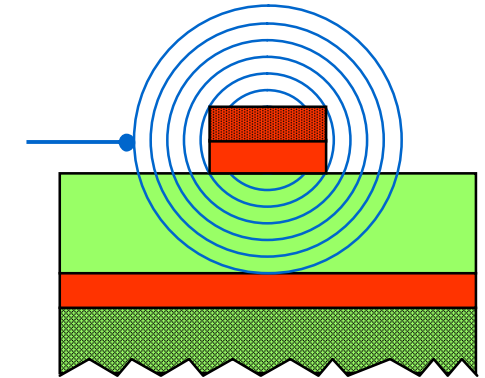
Die relative Permittivität muß sich an der effektiven Permittivität bzw. der effektiven Dielektrizitätseigenschaft orientieren, die sich aus den Geometrien der Lagenaufbaumoduln ergibt.

Für Leiterbahnen, die in ein homogenes Umfeld aus FR4 eingebettet sind, ist die Geschwindigkeit :

$$\begin{aligned} v_{\text{sig (FR4)}} &= \frac{30}{\sqrt{4.1}} \quad [\text{cm/ns}] \\ &= \frac{30}{2.02} \quad [\text{cm/ns}] \\ &= \underline{14.85} \quad [\text{cm/ns}] \end{aligned}$$

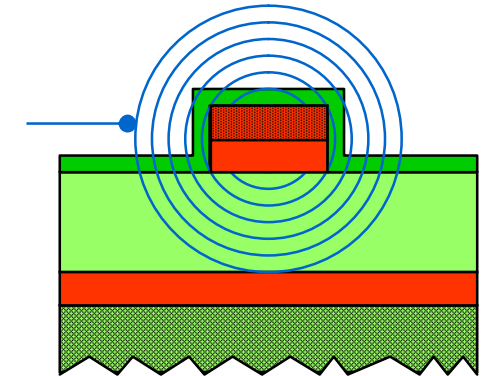
$$17.96 \quad [\text{cm/ns}]$$

$$\epsilon_{r_{\text{eff}}} = 2.8$$



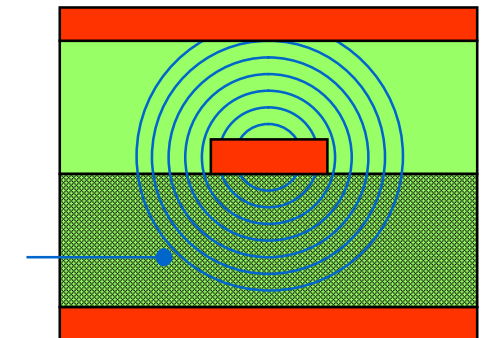
$$\epsilon_{r_{\text{eff}}} = 3.8$$

$$15.38 \quad [\text{cm/ns}]$$



$$\epsilon_{r_{\text{eff}}} = 4.1$$

$$14.85 \quad [\text{cm/ns}]$$



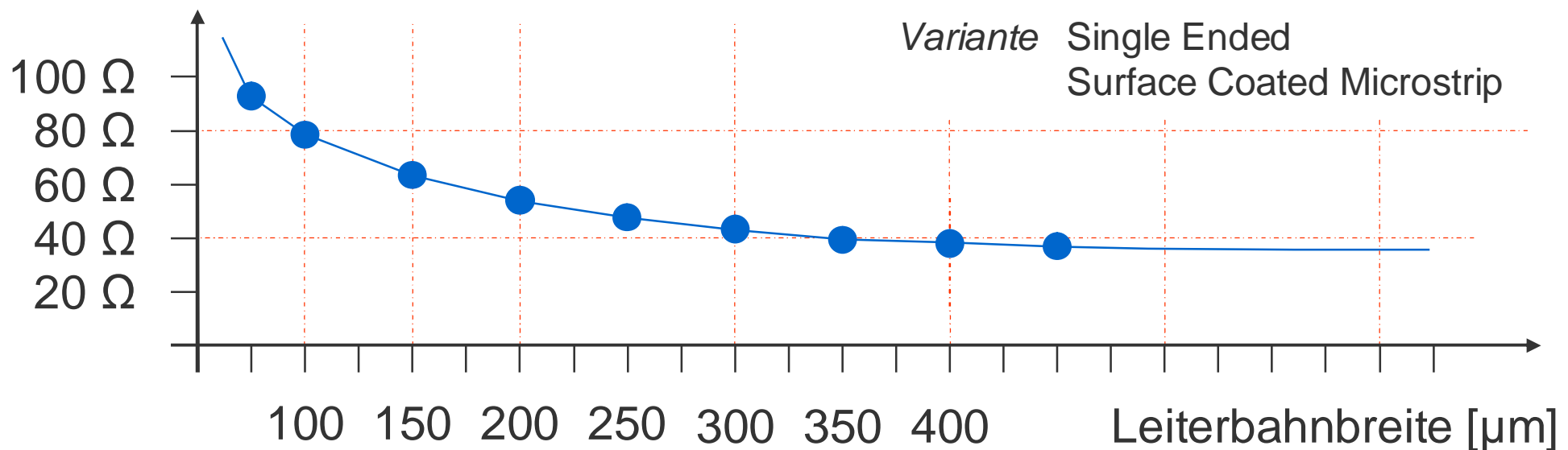
Impedanz : Impedanzverlauf

Hinweis (Impedanz und Induktivität)

Der Induktivitätsbetrag ist praktisch unabhängig von der Länge der Leiterbahn und kann deshalb als **Konstante** bewertet werden. Damit ist der Impedanzwert nur noch von der Kapazität "C" der Signalleiterbahn ab.

$$\text{Impedanz } Z_0 = \sqrt{\frac{K}{C}}$$

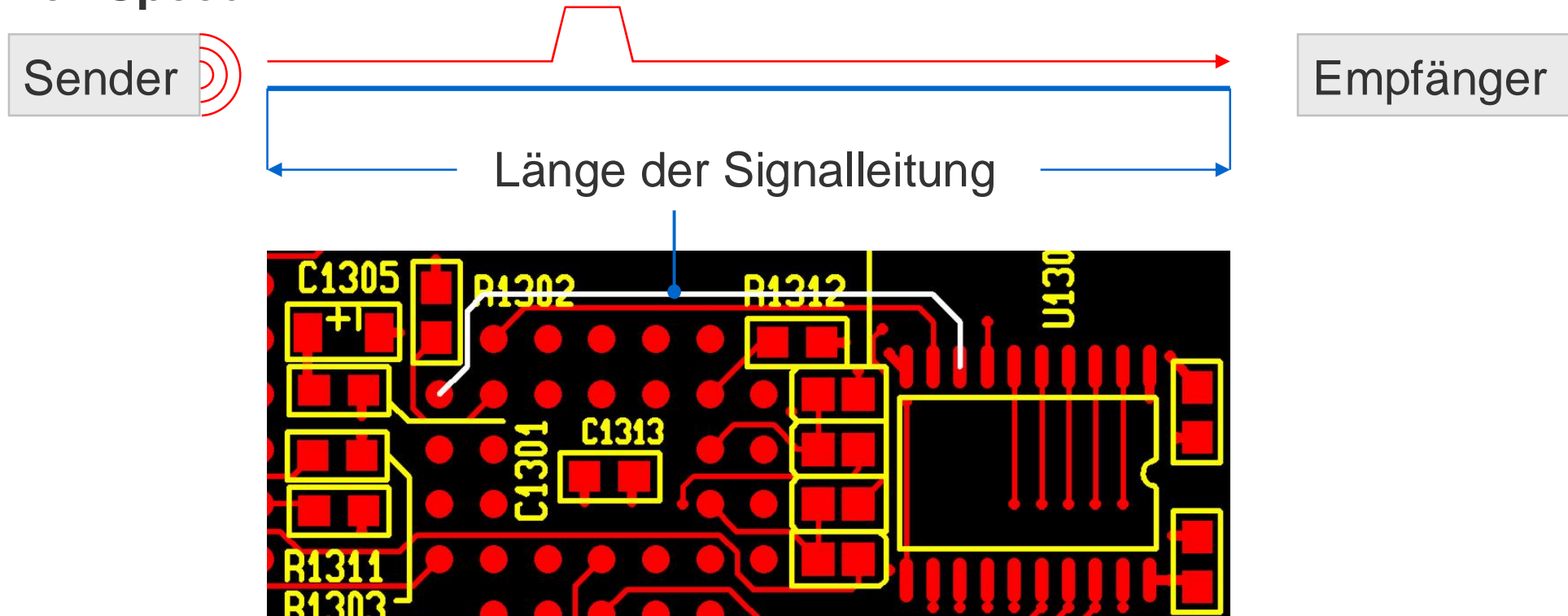
Weil die Kapazität "C" im Bruch als *Nenner* auftritt, folgt, daß die Impedanz zunimmt, wenn die Kapazität abnimmt. Weil aus dem Bruch die Wurzel gezogen wird, folgt, daß die Veränderung der Impedanz bei einer Veränderung der Kapazität der Leiterbahn nicht linear sondern *exponentiell* erfolgt.



Informationstransfer

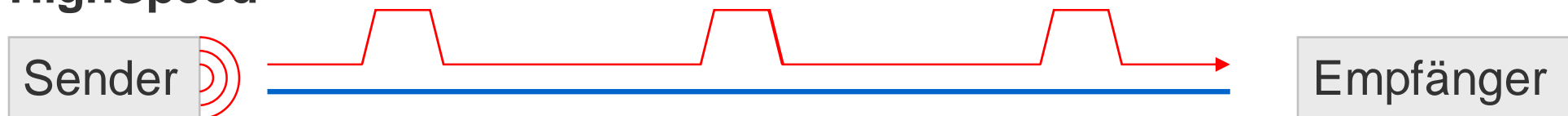
Bei *langer* Signalanstiegszeit befindet sich *eine* Information auf der Signalleitung auf dem Weg vom Sender zum Empfänger.

LowSpeed



Bei *kurzer* Signalanstiegszeit befinden sich *mehrere* Informationen auf der Signalleitung auf dem Weg vom Sender zum Empfänger.

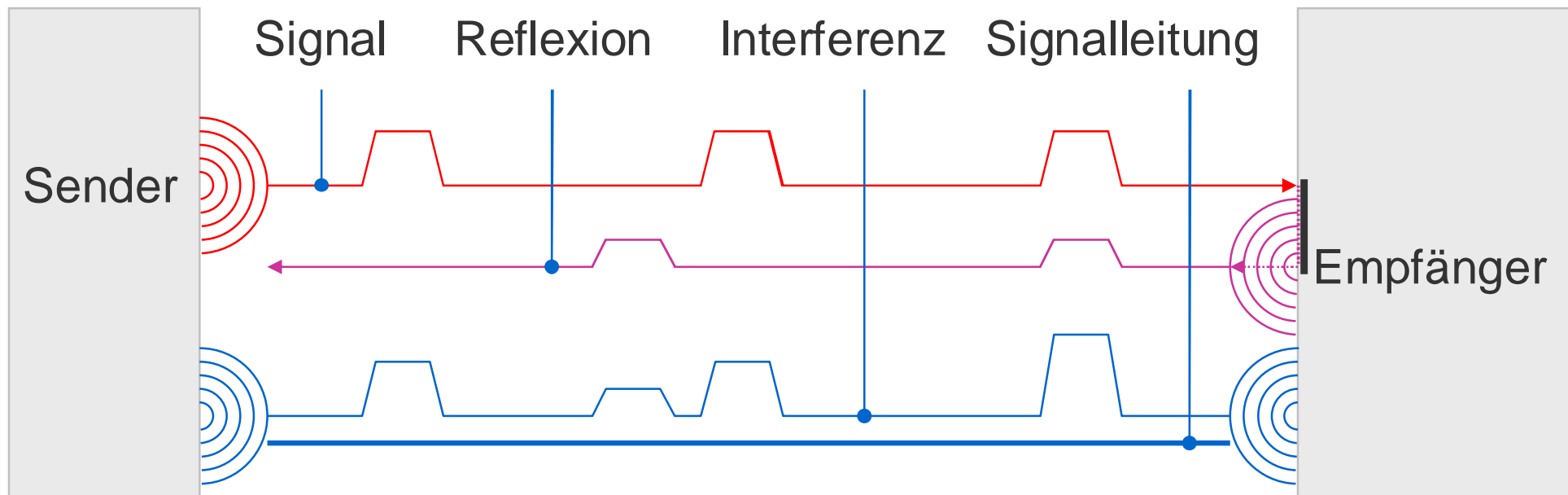
HighSpeed



Reflexion und Interferenz

Bei der Übertragung eines Signals kann es zu Störungen kommen, wenn die Leiterbahn *so lang* und/oder die Signalanstiegszeit *so kurz* ist, daß bereits weitere Signale auf der Leiterbahn vom Sender zum Empfänger unterwegs sind, obwohl das erste noch nicht vollständig verarbeitet und/oder kompensiert wurde.

Wird ein Teil der Signalenergie auf der Empfängerseite reflektiert und läuft zum Sender zurück, dann wird die Qualität des nachfolgenden Signals durch Interferenzen beeinträchtigt.

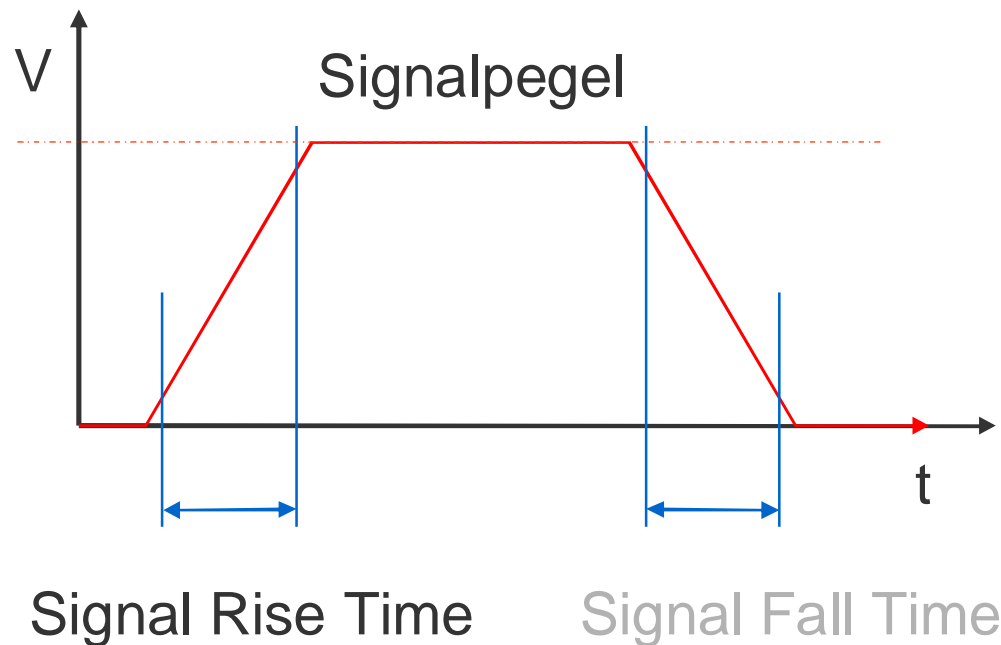


Signalanstiegszeit

Hinweis (Signalanstiegszeit)

Leiterbahnen verbinden die elektronischen Komponenten einer Baugruppe. Über diese Leiterbahnen werden Informationen zwischen den (...aktiven) Komponenten ausgetauscht.

Der Sender einer Information verändert über einen Spannungshub den Signalpegel auf einer Leiterbahn. Sobald der Empfänger den veränderten Signalpegel erkennt, reagiert er entsprechend seiner technischen Vorgaben (...als RAM, Gatter, MCU, etc).



Definition (Signalanstiegszeit)

Als die Signalanstiegszeit (~ Signal Rise Time) wird die Zeit bezeichnet, die vergeht, bis sich der Signalpegel von 10% auf 90% verändert hat.

Kritische Signalweglänge

Hinweis (Propagation Delay)

Der in einer bestimmten *Zeiteinheit* zurückgelegte Signalweg wird als "Laufzeitverzögerung" (~ Propagation Delay) bzw. vereinfacht als "Laufzeit" bezeichnet.

Die effektive Länge des Weges, den das Signal innerhalb dieser Zeiteinheit zurücklegt, hängt von der Permittivität des Basismaterials ab und ist unabhängig von der Kupferdicke und der Leiterbahnbreite.

Definition (Kritische Signalweglänge)

Die Länge eines Signalweges wird als kritisch eingestuft, wenn das Signal innerhalb der Signalanstiegszeit den Weg vom Sender zum Empfänger und wieder zurück zum Sender zurücklegen *könnte*.

$$KWL_{(sig)} = \frac{T_{rise} \frac{[ns]}{[ns]}}{2 \cdot T_{pdelay} \frac{[ns]}{[cm]}}$$

$KWL_{(sig)}$ ist die kritische Weglänge in cm.

T_{rise} ist die Signal Rise Time (~ Signalanstiegszeit) in ns.

T_{pdelay} ist die Propagation Delay (~ Laufzeit) in ns pro cm.



Propagation Delay

Definition (Propagation Delay)

Die Laufzeitverzögerung T_{pdelay} ergibt sich aus dem Kehrwert der Signalübertragungsgeschwindigkeit für ein vorgegebenes Basismaterial.

$$T_{\text{pdelay}} = \frac{1}{v_{(\text{sig})}} = \frac{\sqrt{\epsilon_r}}{c} \frac{[\text{ns}]}{[\text{cm}]}$$

Durch Einsetzen des Wertes für c (i.e. Lichtgeschwindigkeit) ergibt sich :

$$T_{\text{pdelay}} = \frac{\sqrt{\epsilon_r}}{30} \frac{[\text{ns}]}{[\text{cm}]}$$

Beispiel (Propagation Delay)

Für ein FR4-Material mit einem ϵ_r von 4.2 bei 1 GHz ist T_{pdelay} :

$$T_{\text{pdelay}} = \frac{\sqrt{4.2}}{30} = \frac{2.049}{30} = 0.0684 \frac{[\text{ns}]}{[\text{cm}]}$$

Propagation Delay

Wenn ein Signal auf einer Leiterbahn (~ Transmission Line) übertragen werden soll, dann muß der Einfluß des Basismaterials beachtet werden.

Epsilon-R	[cm/ns]	[ns/cm]	Hersteller / Materialbeispiel	
1.00	29.98	0.0334	unbekannt / Luft	
2.20	20.21	0.0495	Rogers	/ D5880
2.94	17.46	0.0573	Rogers	/ D6002
3.68	15.63	0.0640	Rogers	/ Ro4350
4.10	14.81	0.0675	NanYa	/ NP-155f (~ FR4)
4.40	14.29	0.0700	Isola	/ Duraver P97 (~ PD)
4.40	14.29	0.0700	Isola	/ Duraver 114 (~ FR4)
6.20	12.04	0.0831	Rogers	/ TMM6
10.00	9.48	0.1055	Rogers	/ TMM10i

Beispiel Bei einer Permittivität (~ Epsilon-R) von 4.1 legt ein Signal in 1 ns eine Weglänge von 14.81 cm zurück.

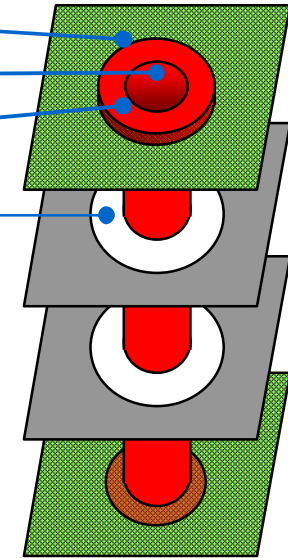
Für eine Weglänge von 1 cm benötigt ein Signal 0.0675 ns.



Vias : Physikalische Eigenschaften

Für das Via sind im Padstack der CAD-Bibliothek vorgegeben :

25µm	Hülsenkupferdicke
200µm	Enddurchmesser des Vias
600µm	Paddurchmesser des Vias
1000µm	Isolationspad auf der Innenlage



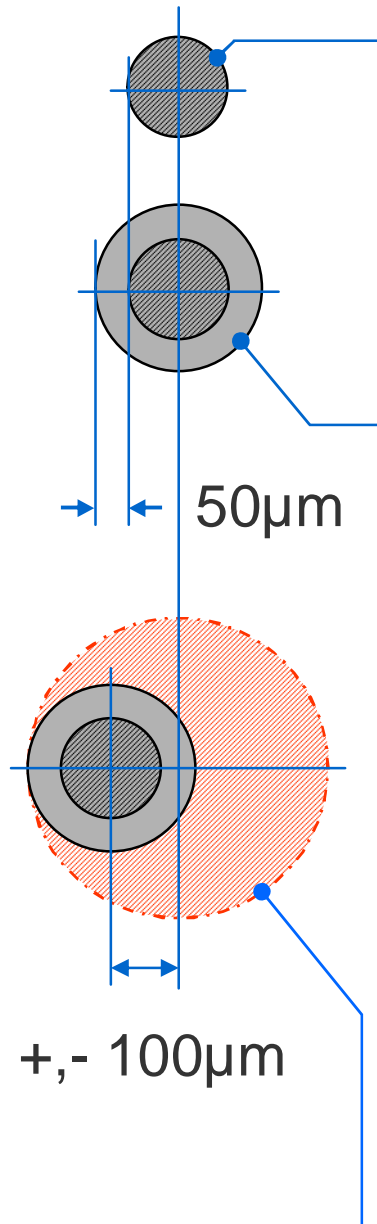
Vialänge	Kapazität	Impedanz	Induktivität
0.4 mm	0.137 pF	42.47 Ω	0.246 nH
0.6 mm	0.205 pF	45.18 Ω	0.418 nH
0.8 mm	0.273 pF	47.01 Ω	0.604 nH
1.0 mm	0.341 pF	48.38 Ω	0.799 nH
1.2 mm	0.410 pF	49.47 Ω	1.003 nH
1.4 mm	0.478 pF	50.38 Ω	1.213 nH
1.6 mm	0.546 pF	51.15 Ω	1.429 nH
1.8 mm	0.615 pF	51.82 Ω	1.650 nH
2.0 mm	0.683 pF	52.41 Ω	1.876 nH

Padstack in
der Bibliothek
des CAD-
Systems



Toleranzraum

Toleranzraum : CAD-Vorgabe, Bohrwerkzeug und Paßtoleranz



CAD gibt einen *Enddurchmesser* vor. Das zugehörige Bohrwerkzeug muß im Durchmesser größer sein, damit dieser Enddurchmesser auf der fertigen Leiterplatte nach dem Kontaktieren der Bohrhülse und dem Prozessieren der Endoberfläche auch zuverlässig erreicht wird.

Üblicherweise wählt der Leiterplattenhersteller eine *Zugabe* auf das passende Bohrwerkzeug (BWzg).

Regel BWzg = Enddurchmesser + 100µm Zugabe

Dieses Bohrwerkzeug ist somit umlaufend 50µm größer, als der vom CAD-Layout vorgegebene Enddurchmesser.

Bedingt durch die allgemeine *Toleranz* von $\pm 100\mu\text{m}$ kann die Bohrung zum Pad auf der fertigen Leiterplatte um 100µm von der Sollposition verschoben sein.

Die Bohrung wird sich letztlich innerhalb eines Toleranzraumes mit einem definierten Durchmesser wiederfinden.

Definition (Toleranzraum)

Toleranzraum = Enddurchmesser + 100µm Zugabe + (2 • 100µm Toleranz)

Mittenabstand von Isolationen auf Powerplanes

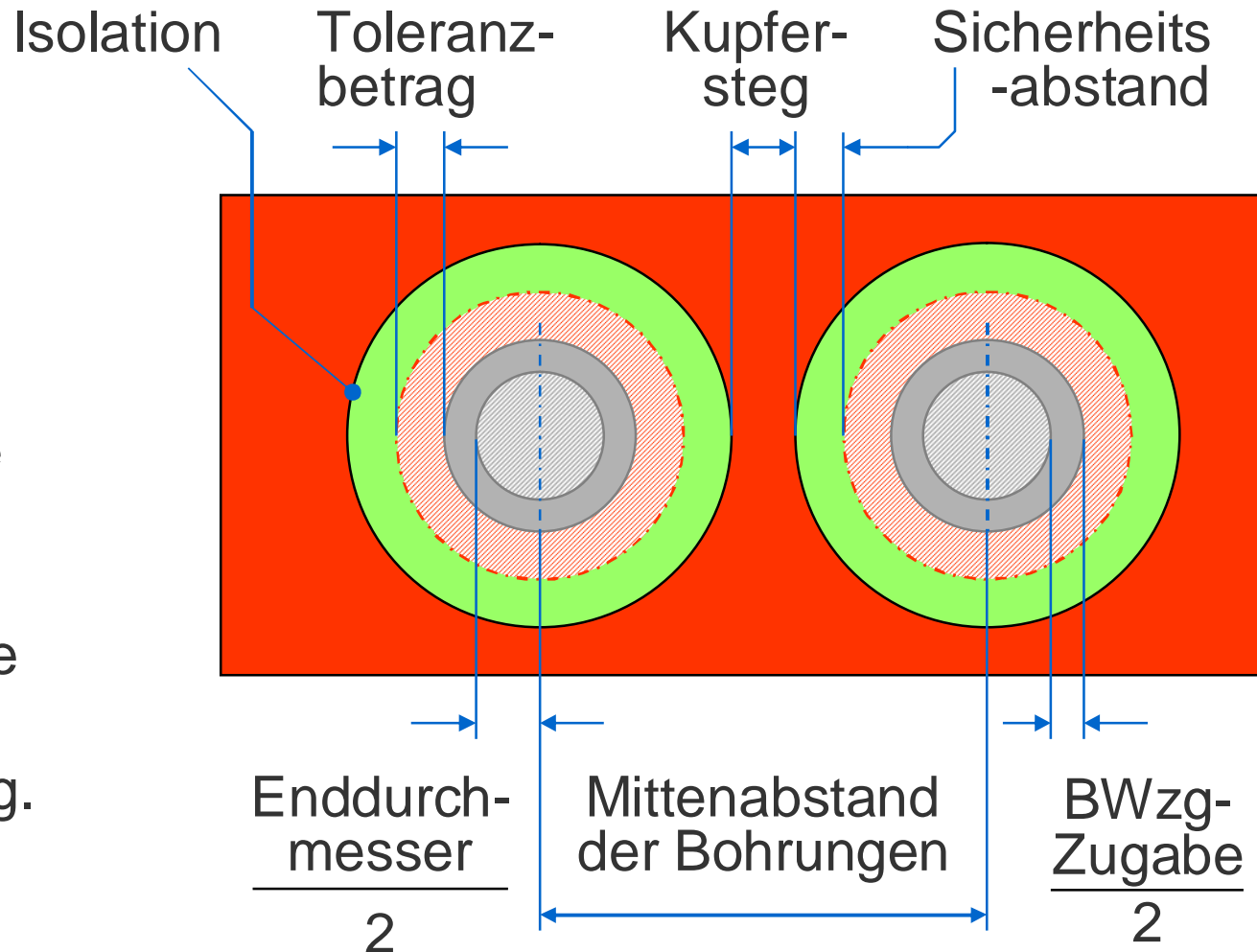
Regel (Kupfersteg bei gleichem Bohrdurchmesser)

$$\text{Mittenabstand}_{(\text{THT})} = \text{Enddurchmesser} + \text{BWzgZugabe} + \text{Kupfersteg} + 2 \cdot \text{Toleranzbetrag} + 2 \cdot \text{Sicherheitsabstand}$$

Nebenbedingung : Toleranzbetrag \geq Toleranz (Bohrung zu Leiterbild)

Sicherheitsabstand

Für den zuverlässigen Betrieb der Baugruppe ist ein ausreichender Sicherheitsabstand zwischen der Tangente der Bohrwandung und der Powerplane wichtig.



Abstand für Vias in Pads (Lötfläche < Toleranzraum) 2c

Beispiel (Berechnung des Offsets)

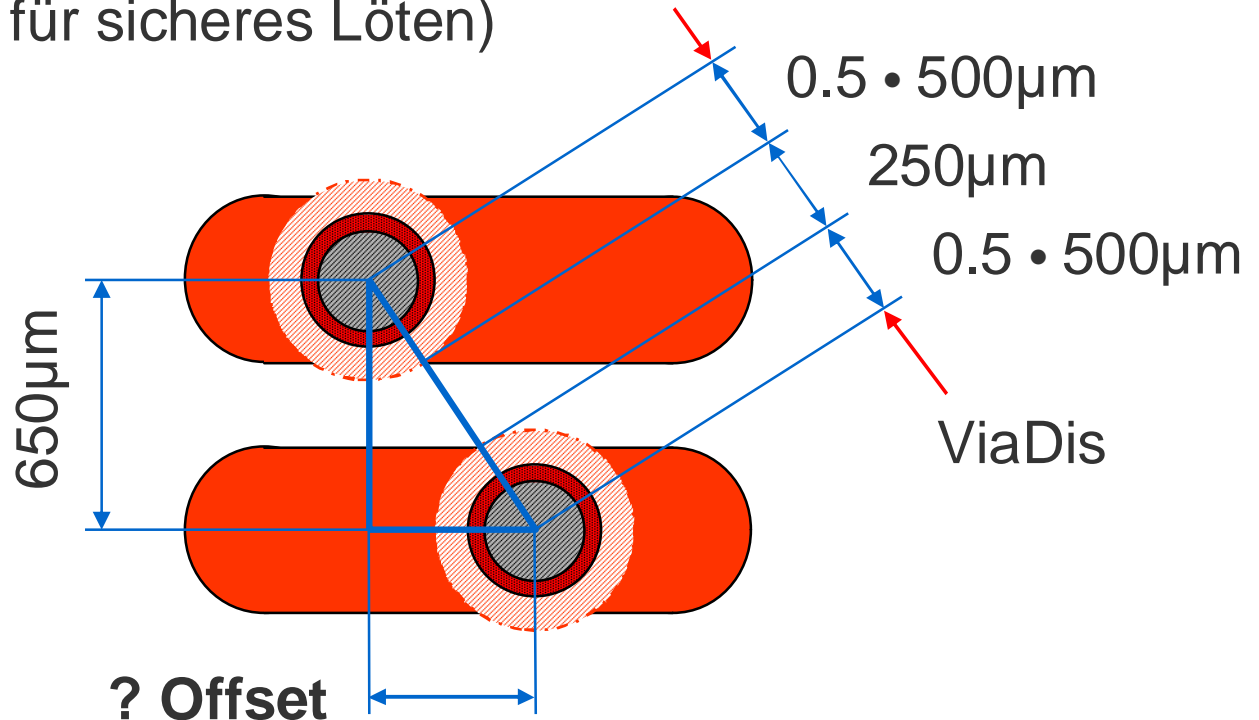
Folgende Werte sind gegeben :

250µm Abstand_(TR/TR) (... für sicheres Lötén)

500µm Toleranzraum

650µm Pitch

Welcher Offset ist beim Routing zwischen den benachbarten Vias einzuhalten ?



Nach Formel **3** ist :

$$\text{Offset} = \sqrt{(\text{Toleranzraum} + \text{Abstand}_{(TR/TR)})^2 - \text{Pitch}^2}$$

$$\begin{aligned} \text{Offset} &= \sqrt{(500 + 250)^2 - 650^2} \text{ µm} = \sqrt{750^2 - 650^2} \text{ µm} \\ &= \sqrt{562500 - 422500} \text{ µm} = \sqrt{140000} \text{ µm} = \sim 375 \text{ µm} \end{aligned}$$



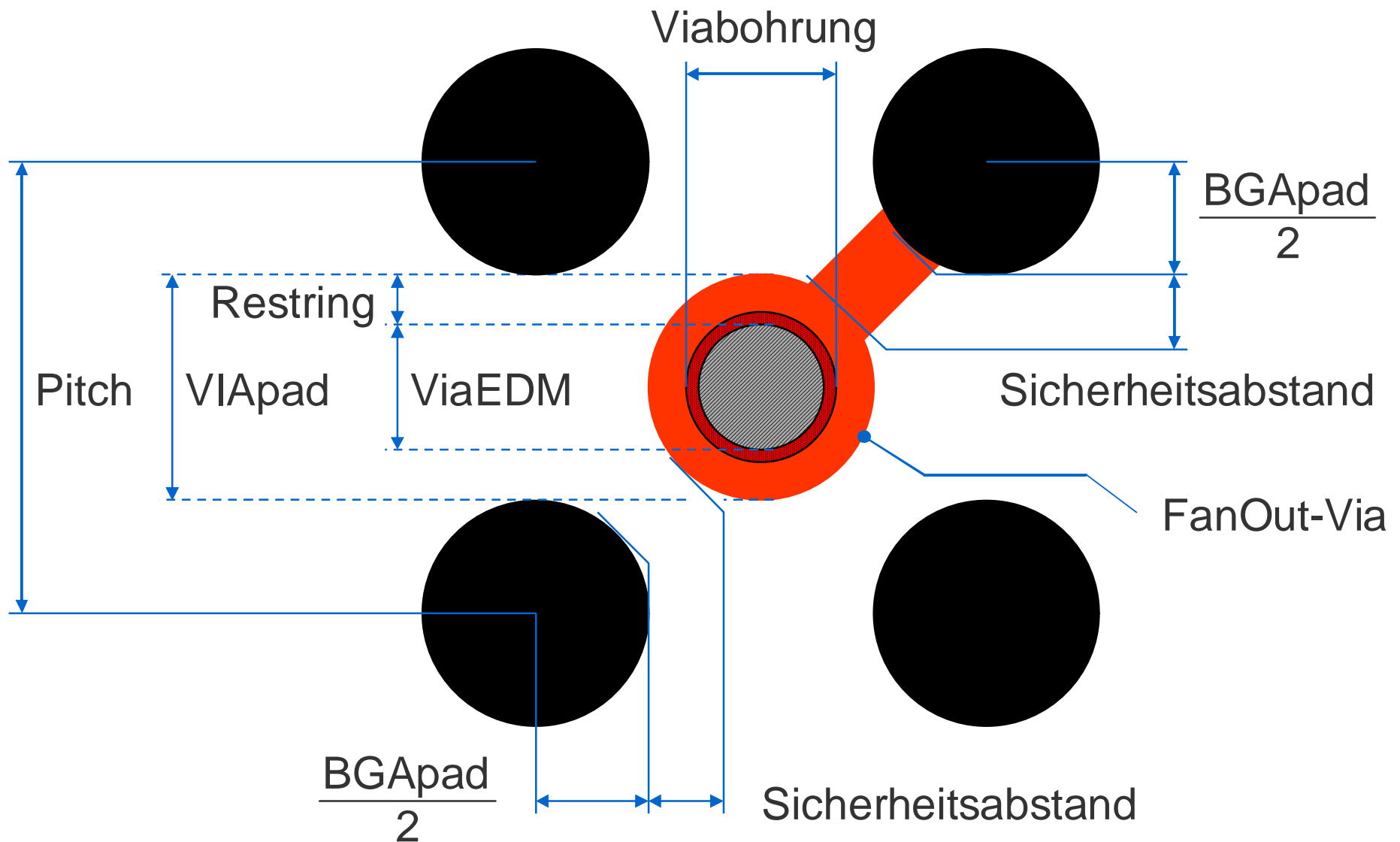
BGA-Geometrie



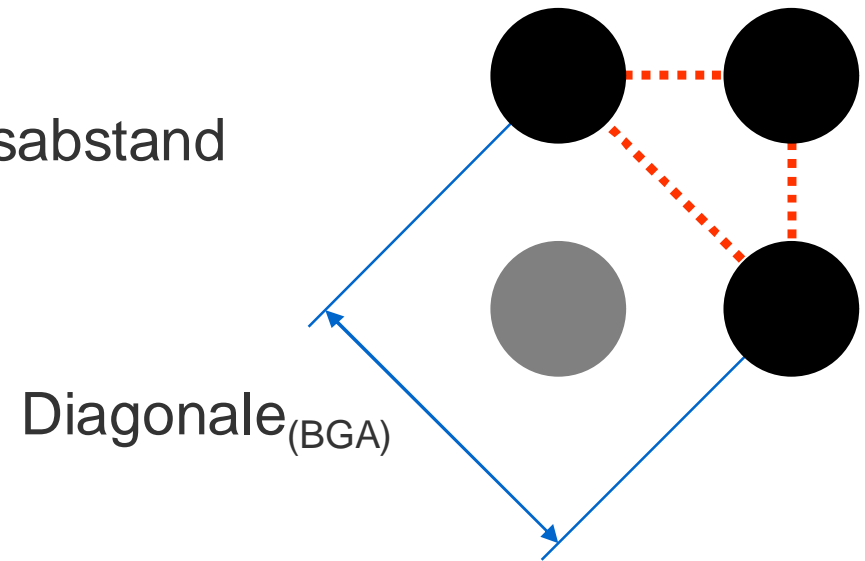
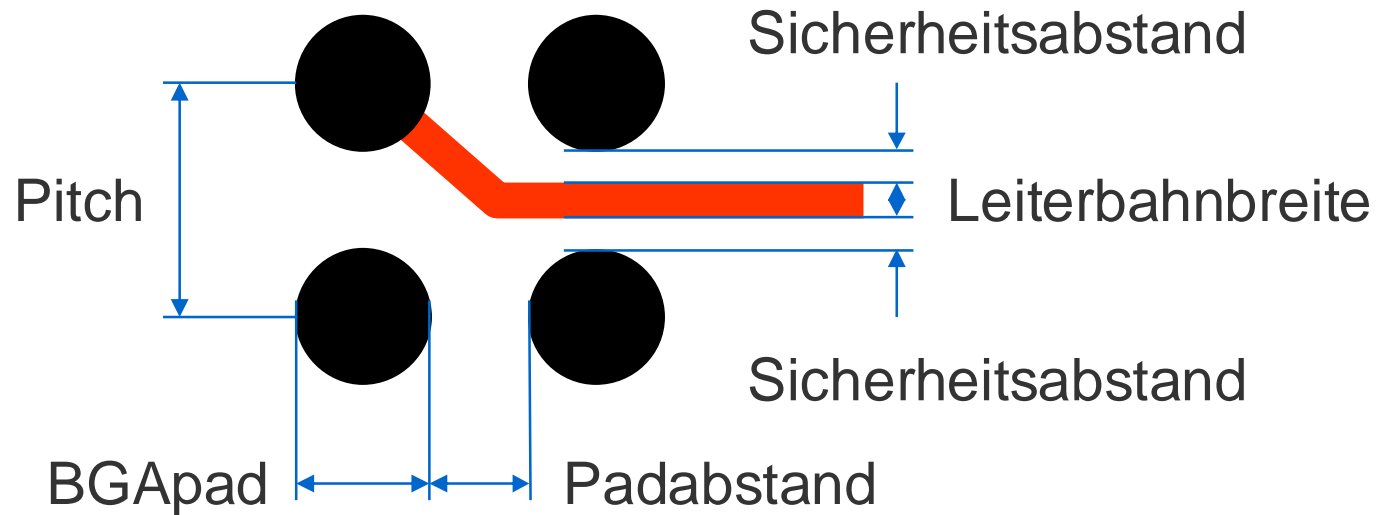
BGA : Allgemeine Begriffe und Geometrien

Regel (Geometrie der BGA-Diagonalen)

$$\text{Diagonale}_{(\text{BGA})} = 2 \cdot \frac{\text{BGApad}}{2} + 2 \cdot \text{Sicherheitsabstand} + \text{VIApad}$$



BGA : Grundregeln für BGA-Geometrien



Regeln (BGA-Geometrien)

Pitch = BGApad + Padabstand

Padabstand = Pitch - BGApad

BGApad = Pitch - Leiterbahnbreite - 2 • Sicherheitsabstand

Padabstand = Leiterbahnbreite + 2 • Sicherheitsabstand

Leiterbahnbreite = Padabstand - 2 • Sicherheitsabstand

Sicherheitsabstand = 0.5 • (Padabstand - Leiterbahnbreite)

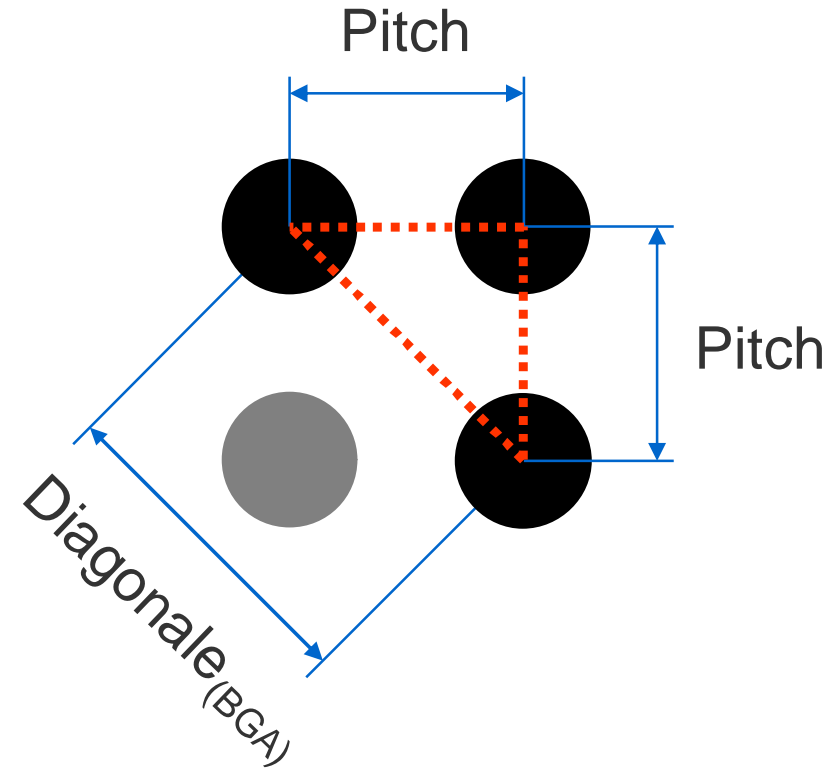
$\text{Diagonale}_{(BGA)}$ = 1.414 • Pitch

BGA : Berechnung der Diagonalen

Regel ($\text{Diagonale}_{\text{(BGA)}}$)

$$\begin{aligned}\text{Diagonale}_{\text{(BGA)}}^2 &= \text{Pitch}^2 + \text{Pitch}^2 \\ &= 2 \cdot \text{Pitch}^2\end{aligned}$$

$$\begin{aligned}\text{Diagonale}_{\text{(BGA)}} &= \sqrt{2 \cdot \text{Pitch}^2} \\ &= \sqrt{2} \cdot \sqrt{\text{Pitch}^2} \\ &= \underline{1.414 \cdot \text{Pitch}}\end{aligned}$$



Hinweis

Zwischen der Diagonalen gegenüberliegender BGA-Pads und dem Pitchabstand des BGAs gibt es eine *feste* Relation (\sim AspectRatio).

Regel (AR BGA-Pitch)

Das AspectRatio der Diagonalen eines BGAs zum BGA-Pitch ist :

$$\frac{\text{Diagonale}_{\text{(BGA)}}}{\text{Pitch}} = \sqrt{2} = \underline{1.414}$$

BGA : Grund- und Funktionsfläche

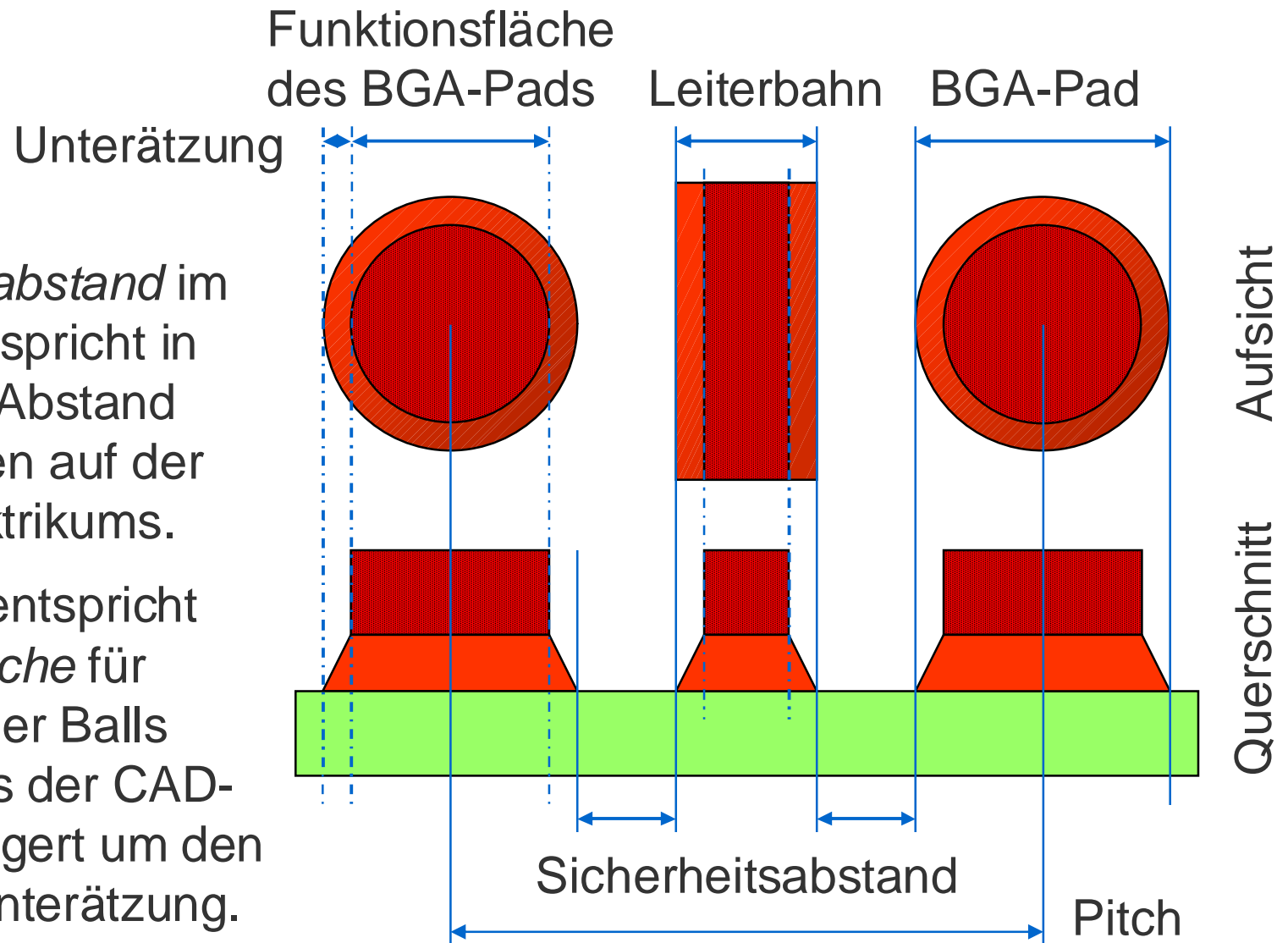
Regel (Funktionsfläche BGA)

$$\begin{aligned}\text{Funktionsfläche}_{(\text{BGA})} &= \text{BGApad} - \text{Unterätzung} \\ &= \text{BGApad} - 2 \cdot \text{Kupferdicke} \cdot \tan \alpha\end{aligned}$$

Hinweis

Der *Sicherheitsabstand* im CAD-Layout entspricht in der Praxis dem Abstand der Bildstrukturen auf der Höhe der Dielektrikums.

Für BGA-Pads entspricht die *Funktionsfläche* für das Aufsetzen der Balls der Vorgabe aus der CAD-Bibliothek verringert um den Betrag für die Unterätzung.





CAM

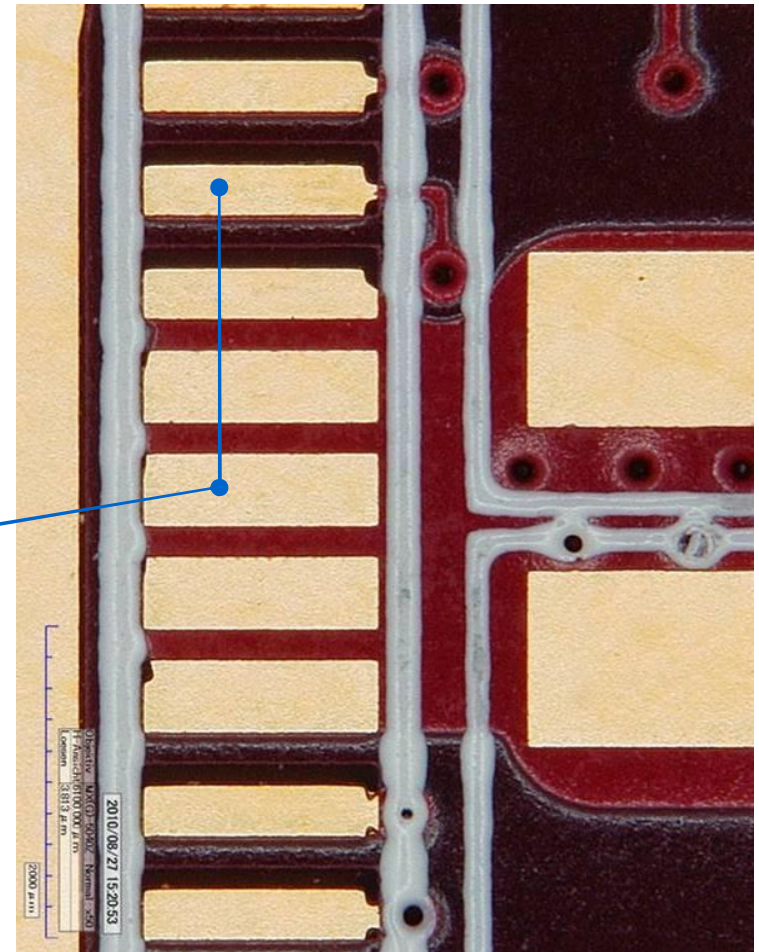
Analyse der Baugruppenspezifikation

Die CAM des Leiterplattenherstellers ist an der Schnittstelle zwischen der virtuellen CAD-Konstruktion und der realen Fertigung der Leiterplatte und nachfolgend der Baugruppe. Mit der Produktion der Leiterplatte werden alle Geometrien festgelegt, mit denen der Baugruppenproduzent dann *später* zurechtkommen muß. Die Analyse der stabilen, kostengünstigen und zuverlässigen Produzierbarkeit der Baugruppe *muß* deshalb von der CAM des Leiterplattenherstellers übernommen werden.

Beispiel

Die Lötflächen sollen eigentlich die gleiche Grundfläche haben. Durch die Unterlegung mit einer Massefläche sind die mittleren Lötflächen größer. Die Lotpaste wird dort anders aufschmelzen und das kann zu minderwertigen Lotverbindungen führen.


Für den Leiterplattenhersteller ist diese Geometrie aber völlig unproblematisch.





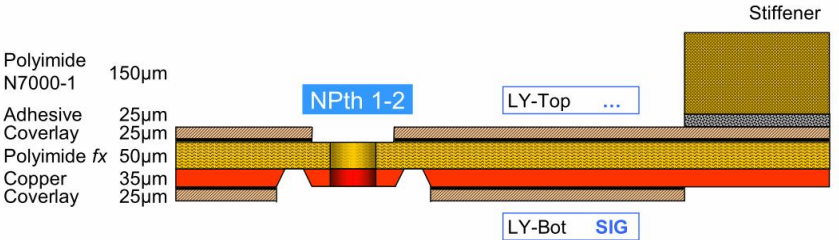
Dokumentation

Aufbau für eine einseitige flexible Leiterplatte

**LeiterplattenAkademie**

Fx01T0.30c50-35#1

Material	Stack-Up	Vias	Parameter	Layer
----------	----------	------	-----------	-------



Explanation

Material details

Information

The suffix "fx" in "Polyimide fx" ist used by the LeiterplattenAkademie to separate flexible Polyimide material (...~ fx) from rigid Polyimide material (no suffix).

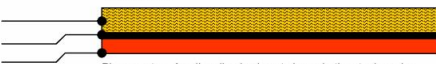
Polyimide fx

Kapton 25µm

Acrylic adhesive 25µm

Copper 35µm

FR9110




Please note : Acrylic adhesive is not shown in the stackup plan

Coverlay

Adhesive 12.7µm

Kapton 12.7µm


FR7001



Adhesive

Acrylic adhesive 25µm (hot glued)

FR0100



Thickness	0.31mm - 0.31mm	Bare Board	LA drawing	#1066
	0.31mm - 0.31mm	ENIG	Date	14.01.2013
	not available	HAL	Name	Wi
	General tolerance +/- 6%		Comment	--

© LeiterplattenAkademie 2013 all rights reserved

Subject to change Without guarantee

LP-Klasse	flexibel
Gesamtdicke	0.30mm
Material	Polyimid
Layer	1
Kontaktiert	nein
BlindVias	nein
BuriedVias	nein
Lagentypen	1 x Sig + Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	nein
Montage	nein



Multilayerkonstruktion



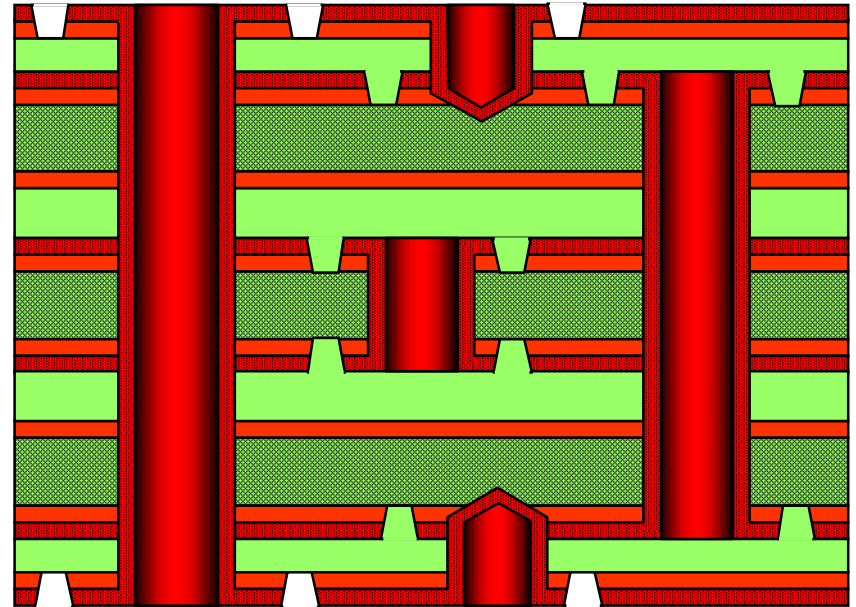
Spezielle Multilayerkonstruktion : Aufbau als Multicore

Die Kontaktierungs- und die Lagenaufbaustrategie wird komplex, wenn die Verdrahtung komplex wird.

Durch das AspectRatio für BlindVias ergeben sich Komplikationen für den Lagenaufbau. Mehrfachverpressungen, sequentielle Kontaktierungen und der Bau temporärer Multilayer als Zwischenprodukt sind die Folge.

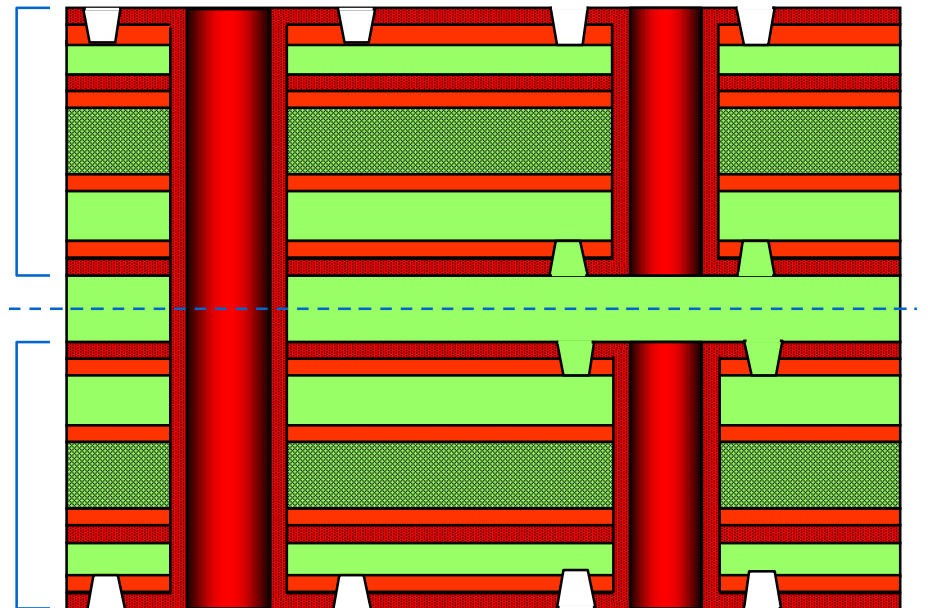
Der Aufwand, die hohen Kosten und der Verlust an Zuverlässigkeit zeigen die Grenzen der bisher üblichen Aufbaustrategie auf.

Die Zukunft wird eigenständigen Bauabschnitten gehören (~ Cores), die sich einfacher und effektiver fertigen lassen.



Core 1

Core 2



Funktionsmodul und Funktionsräume im Multilayersystem

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-Top SIG EM
Copper	17µm			
NP-155fb	50µm	106 SR:70	100-125-100µm d 100 Ω	200µm s 50 Ω
NP-155fb	70µm	1080 MR:67	110-100-110µm d 90 Ω	
Copper	17µm			LY-2 GND
NP-155ftl	100µm		100-115-100µm d 90 Ω	115µm s 50 Ω
Copper	17µm			
NP-155fb	70µm	1080 MR:67	100-225-100µm d 100 Ω	LY-3 SIG
NP-155fb	70µm	1080 MR:67	100-225-100µm d 100 Ω	LY-4 SIG
Copper	17µm		100-115-100µm d 90 Ω	115µm s 50 Ω
NP-155ftl	100µm			
Copper	17µm			LY-5 GND
NP-155fb	50µm	106 SR:70		LY-6 VCC
Copper	17µm			LY-7 GND
NP-155ftl	50µm			LY-8 VCC
Copper	17µm			
NP-155fb	50µm	106 SR:70		
Copper	17µm			
NP-155ftl	100µm			
Copper	17µm			LY-9 VCC
NP-155fb	50µm	106 SR:70		LY-10 GND
Copper	17µm			
NP-155ftl	100µm			
Copper	17µm			
NP-155fb	70µm	1080 MR:67	100-225-100µm d 100 Ω	LY-11 SIG
NP-155fb	70µm	1080 MR:67	100-225-100µm d 100 Ω	LY-12 SIG
Copper	17µm		100-115-100µm d 90 Ω	115µm s 50 Ω
NP-155ftl	100µm			
Copper	17µm			LY-13 GND
NP-155fb	70µm	1080 MR:67	110-100-110µm d 90 Ω	
NP-155fb	50µm	106 SR:70	100-125-100µm d 100 Ω	200µm s 50 Ω
Copper	17µm			
Plated	25µm			LY-Bot SIG

Thickness 1.37mm - 1.55mm Bare Board
1.45mm - 1.64mm ENIG
1.49mm - 1.67mm HAL
General tolerance +/- 6%

LA-Drawing #1068
Date 13.02.2013
Name Wi
Comment --

Je nach Kombination von Signal-, GND- und VCC-Planes ergeben sich unterschiedliche Funktionen im Multilayersystem.

Signalintegritätsmodul 1

Bezug Signallage zu GND-Plane

Powerintegritätsmodul

Bezug GND- zu VCC-Plane

Signalintegritätsmodul 2

Bezug Signallage zu GND-Plane

 Stromversorgungsraum

 Signalraum



Lernen + Handeln

Lernen und Handeln

Wichtig für die Konstruktion und die Fertigung einer Leiterplatte sind formales technisches Wissen, ausgewogene Kreativität, exzellente Kombinationsfähigkeit und eine hohe Kommunikationsbereitschaft.

Die Leiterplatte der Zukunft ist nicht mehr herstellbar *ohne* ein software-basiertes **Expertensystem**, das die Disziplinen CAD-Design, Leiterplattenfertigung und Baugruppenproduktion gesamtheitlich betrachtet.

- ▶ Wer die Regeln bestimmt, der bestimmt das Denken, das Konstruieren und die Strategie.
- ▶ Geben Sie eine Lösung vor, bevor ein anderer Ihnen eine Aufgabe stellt.

Kompetenz entscheidet.

und

Persönlichkeit ist gefragt.

So wird es sein.

10 min 0 sek