

LP2010 - Layouterfahrungen

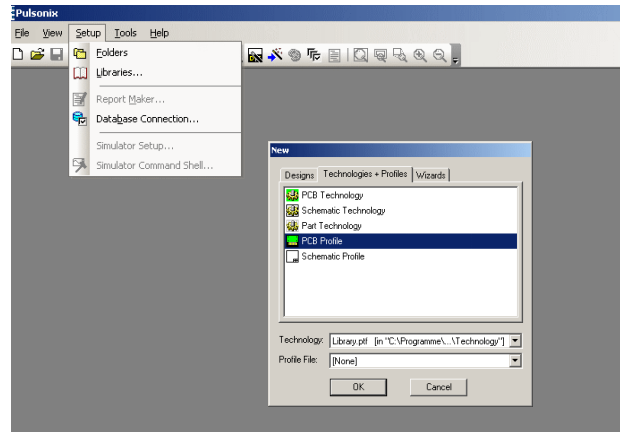


Aufgabenstellung

- Herausforderung "Neues EDA-Tool"
 - Inbetriebnahme
 - Bibliothekserstellung
 - Datenübernahme
 - Handling bei der Entflechtung
 - Postprozess
 - Sorgen, Probleme, Support
 - Fazit

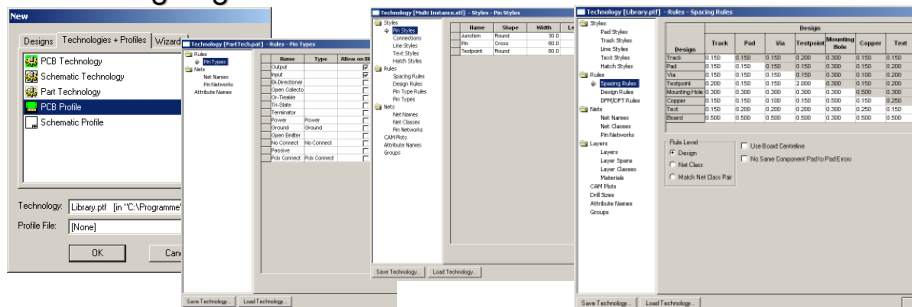
Inbetriebnahme

- Programmgliederung und Menugestaltung
 - Klare Aufgabengliederung
 - Bereitgestellte Menus und Kontext-Menus sind an die Aufgabenstellung angepasst



Inbetriebnahme

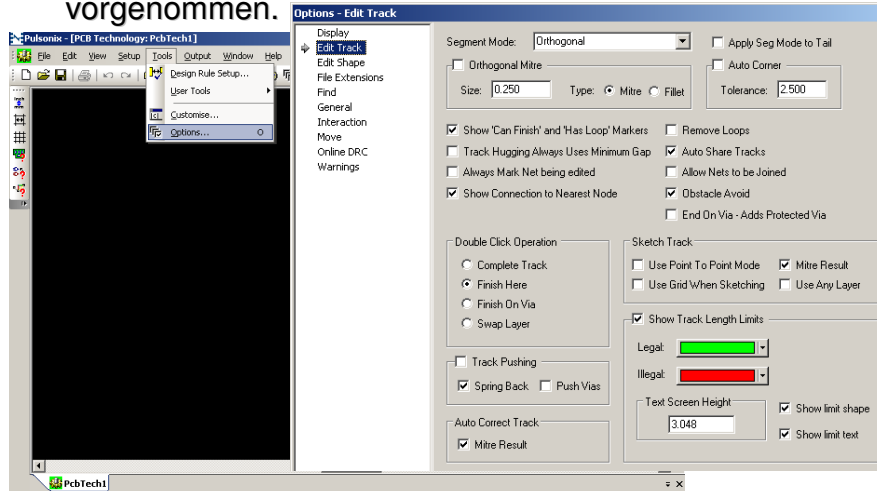
- Einstellungen
 - Designparameter wie Linien- oder Trackstärken, Padstacks, Abstandsregeln, Layer-Stacks, Netzklassen und Druck und Plot-Einstellung werden in der Technology festgelegt.



- Die Technologies für Parts, Schematic und PCB's unterscheiden sich in den einstellbaren Parametern.

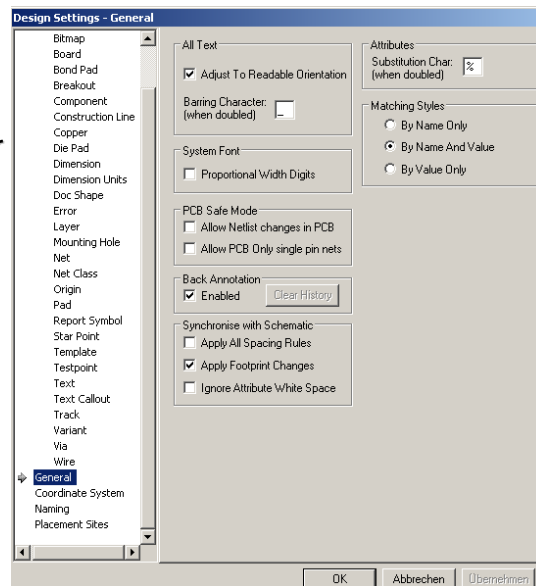
Inbetriebnahme

- Einstellungen
 - Generelle Einstellungen werden im Options-Dialog vorgenommen.



Inbetriebnahme

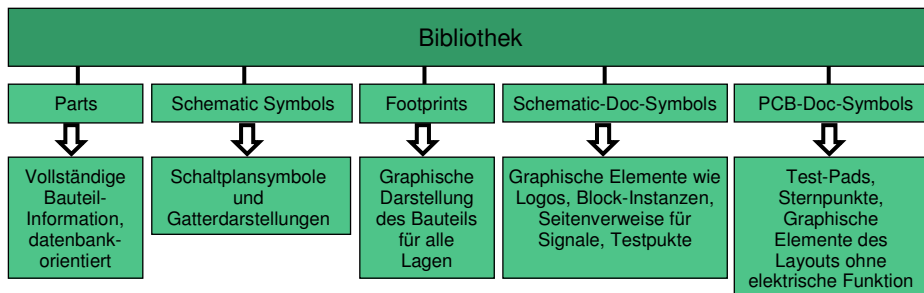
- Einstellungen
 - Koordinatensystem, Design-Größe und Lagenzuordnung für bestimmte Designelemente werden in den Design-Settings festgelegt.



Bibliothek

- Bibliotheksaufbau

- Die Bibliothek ist gegliedert in:
 - Parts
 - Footprints
 - Schematic Symbols
 - PCB-Doc-Symbols (z.B. Fiducials, Logos)
 - Schematic-Doc-Symbols (z.B. Seitenverweis für Signale)



Bibliothek

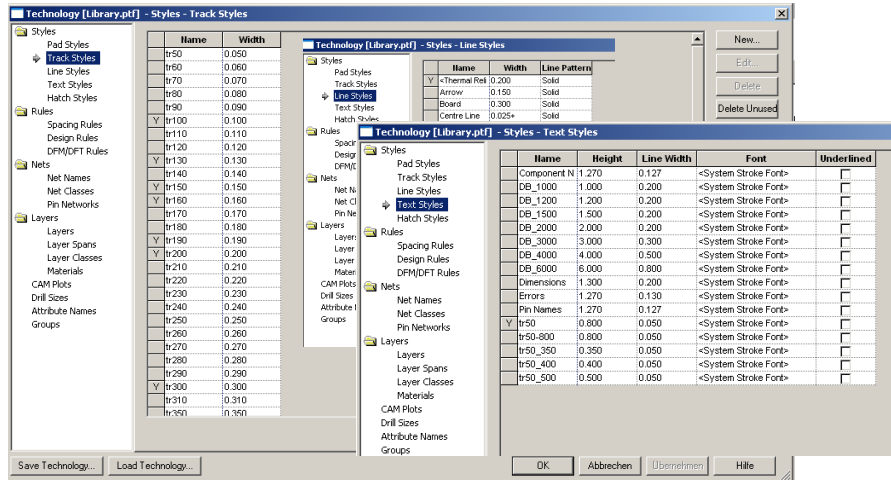
- Padstacks, Tracks und Layer-Definition

- Padstacks werden in der Technology definiert

Name	Layer	Shape	Width
b500	↓	Round	1.000
b500s	↓	Round	0.900
b600	↓	Round	1.600
b600m	↓	Round	1.200
b600s	↓	Round	1.000
b700	↓	Round	1.700
b700m	↓	Round	1.300
b700s	↓	Round	1.100
b800	↓	Round	1.700
b800m	↓	Round	1.400
b800s	↓	Round	1.200
b900	↓	Round	1.700
MLN (Lötstop)	Round	1.800	
ZUM (Bohrer)	Round	0.000	
b900m	↓	Round	1.500
b900s	↓	Round	1.300
b1000	↓	Round	1.700
b1000m	↓	Round	1.600
b1000s	↓	Round	1.400
b1000s3200s	↓	Oval	1.800
b1100	↓	Round	1.700
b1100s	↓	Round	1.500
b1200	↓	Round	2.200
b1200m	↓	Round	1.800
b1200s	↓	Round	1.200
b1300	↓	Round	2.600
b1300m	↓	Round	1.900

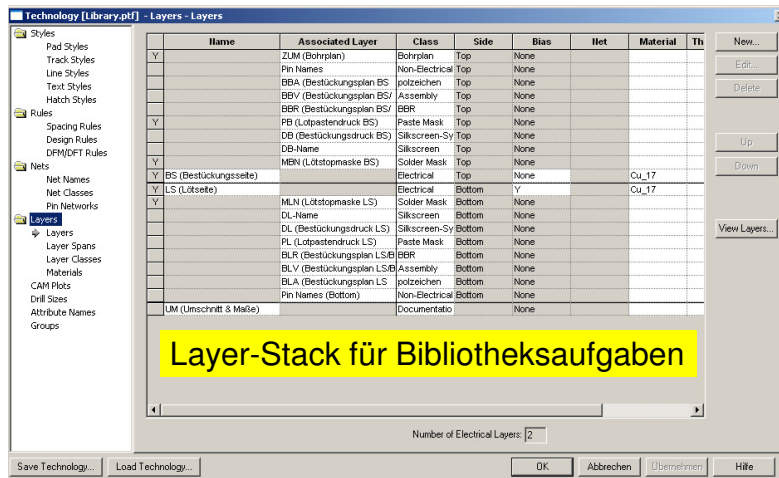
Bibliothek

- Padstacks, Tracks und Linien-Definition
 - Tracks und Linien werden in der Technology definiert



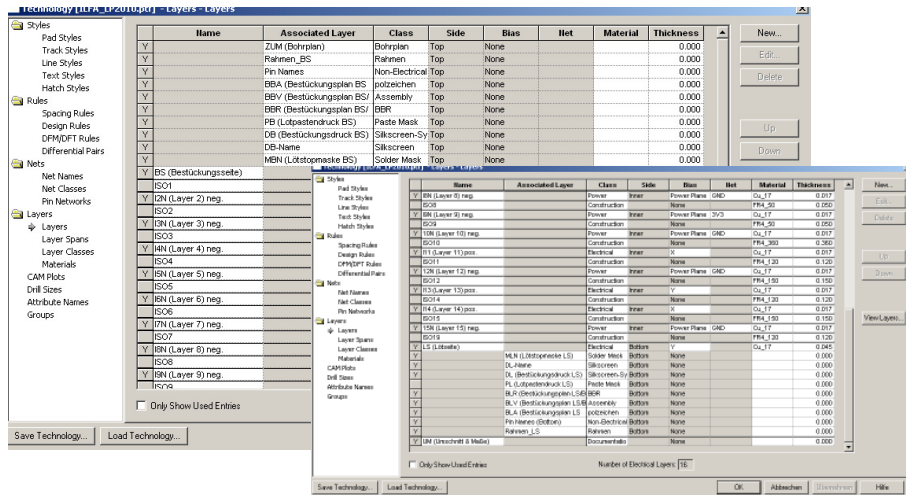
Bibliothek

- Padstacks, Tracks und Layer-Definition
 - Layer werden ebenfalls in der Technology angelegt.



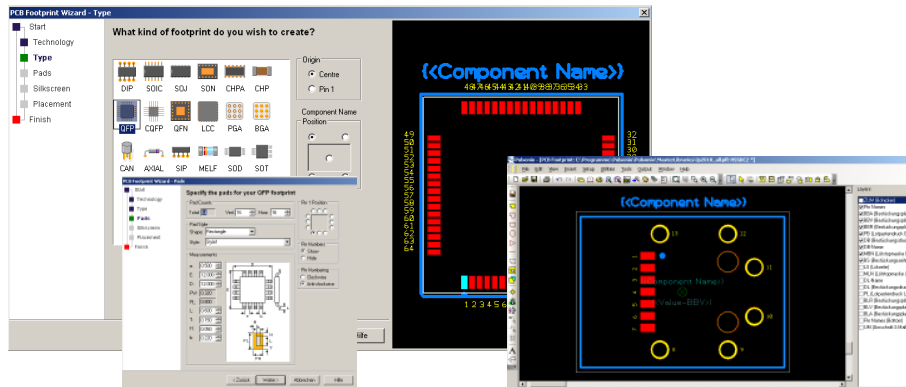
Bibliothek

- Padstacks, Tracks und Layer-Definition
 - Layer-Stack für LP2010



Bibliothek

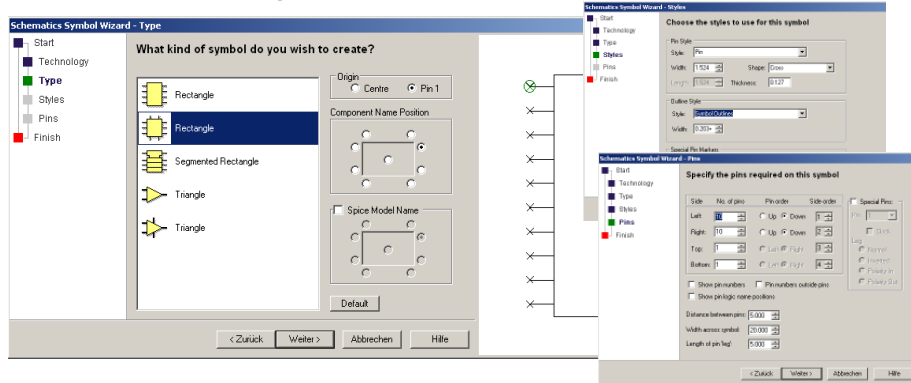
- Footprint-Definition
 - Footprints mit dem Wizard definieren
 - Footprints aus bestehenden Footprints modifiziert generieren
 - Footprints manuell neu erstellen



Bibliothek

● Schematic-Symbol-Definition

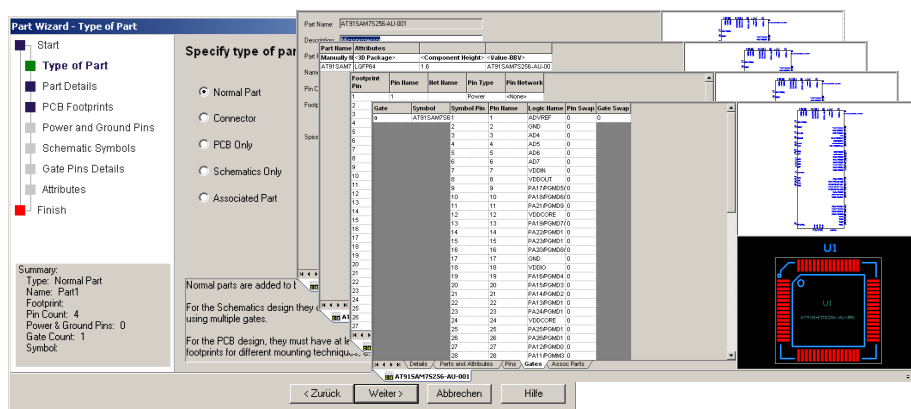
- Schematic-Symbols mit dem Wizzard definieren
- Schematic-Symbols aus bestehenden Symbolen modifiziert generieren
- Schematic-Symbols manuell neu erstellen



Bibliothek

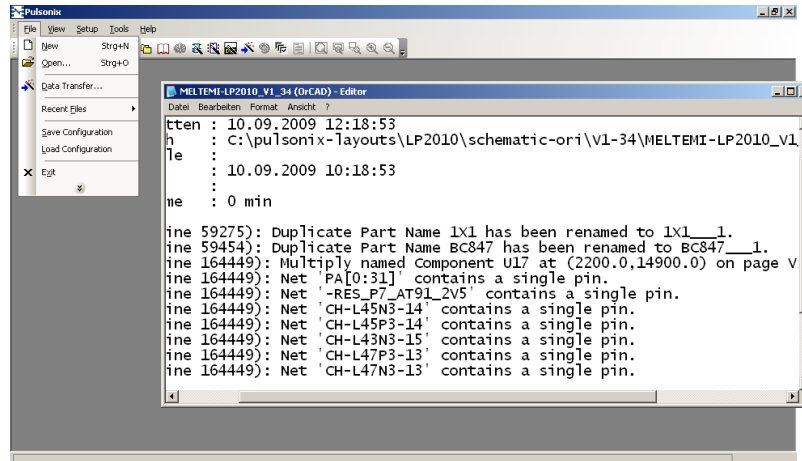
● Part-Definition

- Parts mit dem Wizzard definieren
- Parts aus bestehenden Parts modifiziert generieren
- Parts manuell neu erstellen



Datenübernahme

- Schaltplandaten übernehmen
 - Data-Transfer der Schaltplandaten im ASCII-Format über den Wizzard



```




Datei Bearbeiten Format Ansicht ?
tten : 10.09.2009 12:18:53
h   : C:\pulsonix-layouts\LP2010\schematic-ori\v1-34\MELTEMI-LP2010_V1
le  :
le  : 10.09.2009 10:18:53
ne  : 0 min

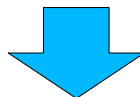
ine 59275): Duplicate Part Name IX1 has been renamed to IX1__1.
ine 59454): Duplicate Part Name BC847 has been renamed to BC847__1.
ine 164449): Multiply named Component UL7 at (2200.0,14900.0) on page v
ine 164449): Net 'PA[0:31]' contains a single pin.
ine 164449): Net '-RES_P7_AT91_2V5' contains a single pin.
ine 164449): Net 'CH-L45N3-14' contains a single pin.
ine 164449): Net 'CH-L45P3-14' contains a single pin.
ine 164449): Net 'CH-L43N3-15' contains a single pin.
ine 164449): Net 'CH-L47P3-13' contains a single pin.
ine 164449): Net 'CH-L47N3-13' contains a single pin.

```

Datenübernahme

- Schaltplandaten übernehmen
 - Schwierigkeiten

-  Ausgabeformat aus OrCAD fehlerhaft/nicht voll-kompatibel
-  Keine Sicherheit, dass Inhalte vollständig und fehlerfrei eingelesen wurden
-  Bezeichnungen der Parts stimmen nicht mit der Bibliothek überein



Manuelle Nacharbeit des eingelesenen Schaltplans

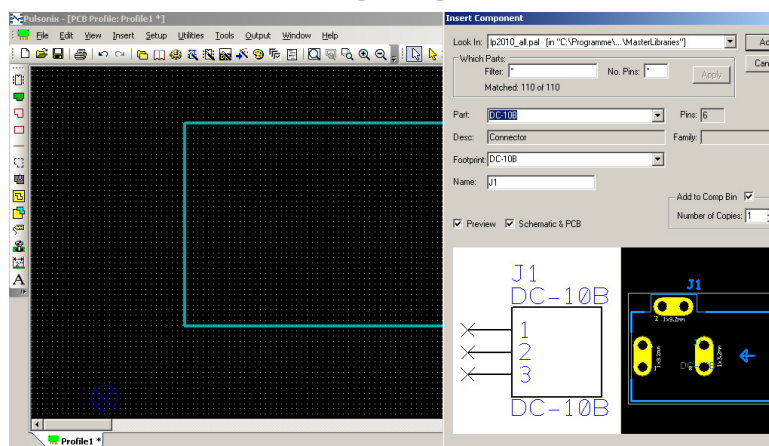


Datenübernahme

- Schaltplandaten übernehmen
 - Nacharbeiten
 - ★ Manueller Austausch der Parts gegen Parts aus der Bibliothek
 - ★ Manueller/optischer Check der Verbindungen nach Austausch der Parts
 - ★ Ausgabe der Netzliste im PADS-Format als Cross-Reference
 - ★ Manueller Vergleich der PADS-Netzlisten im ASCII-Editor
 - ★ Manueller Nachtrag der Constraints als Attribute im Schaltplan

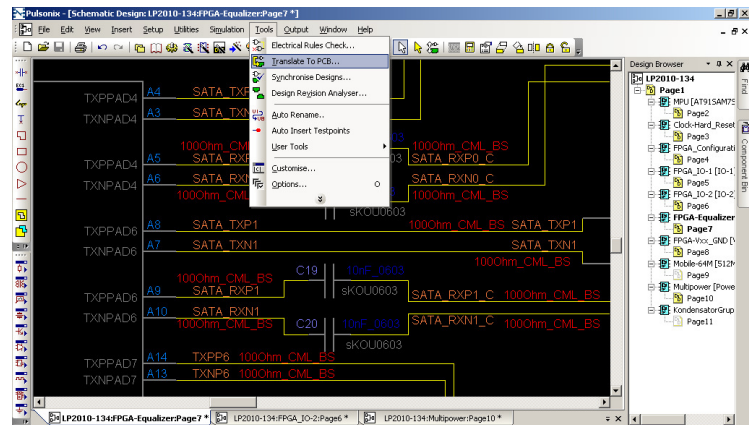
Layout

- PCB-Profile erstellen
 - Board-Outline definieren
 - Bauteile mit Platzierungsvorgaben setzen und fixieren



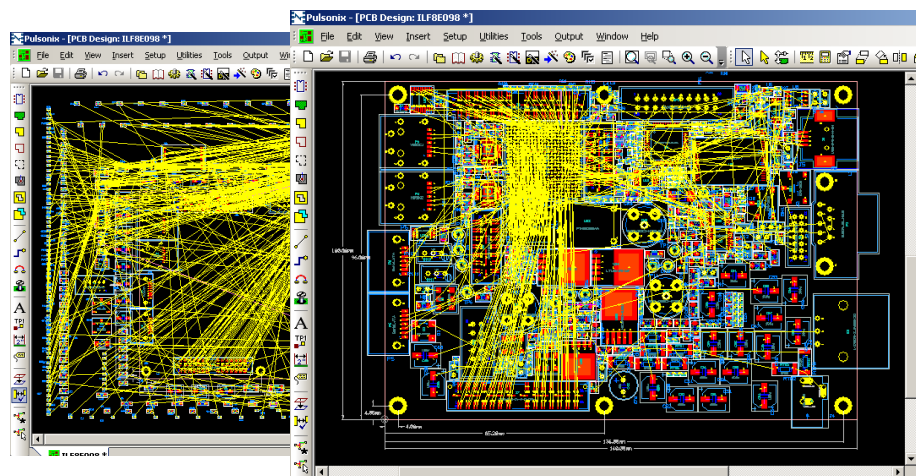
Layout

- Schaltplan ins Layout übergeben
 - Schaltplan öffnen, Menüpunkt „Translate to PCB“
 - Technology und Profile zuweisen



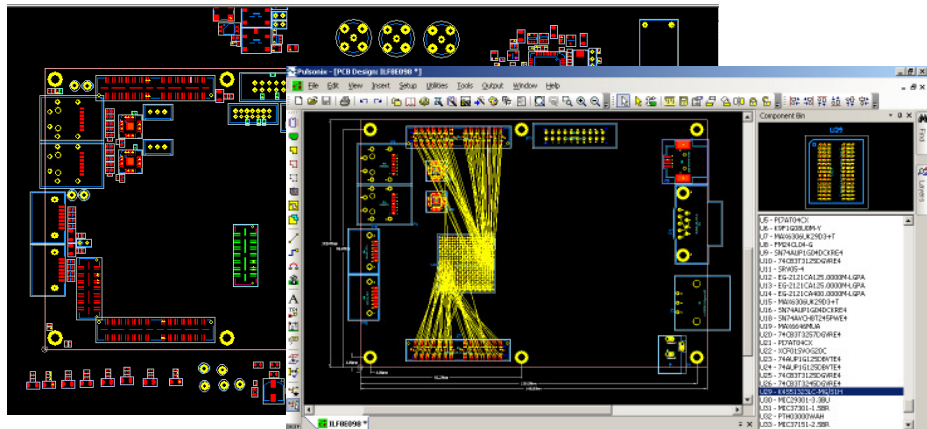
Layout

- Platzieren
 - Automatische Platzierungsroutinen wie Auto-Placement oder „Place Around Board“ nicht effektiv



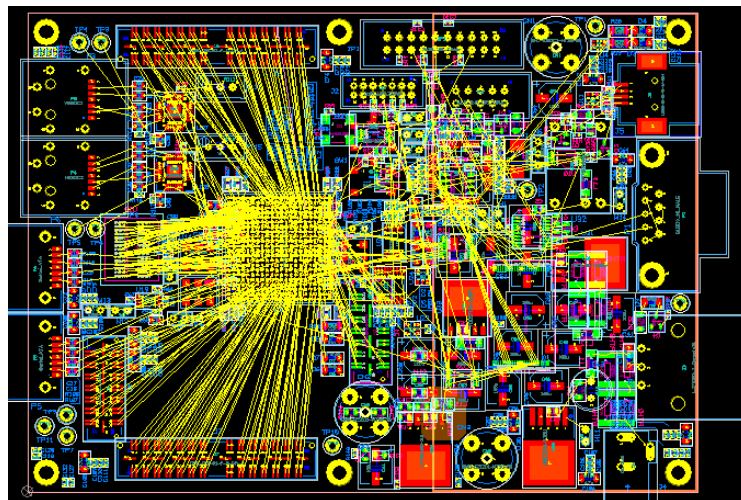
Layout

- Platzieren
 - Entweder alle Bauteile außerhalb der Board-Outline nach Schaltplan gruppiert platzieren
 - Oder einzeln aus der Component Bin heraus platzieren



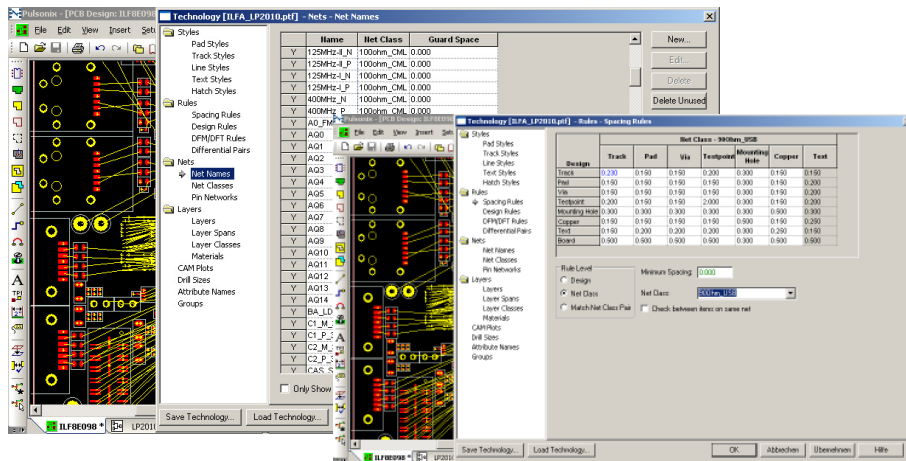
Layout

- Platzieren
 - Fazit: Manuelles Platzieren der Bauteile



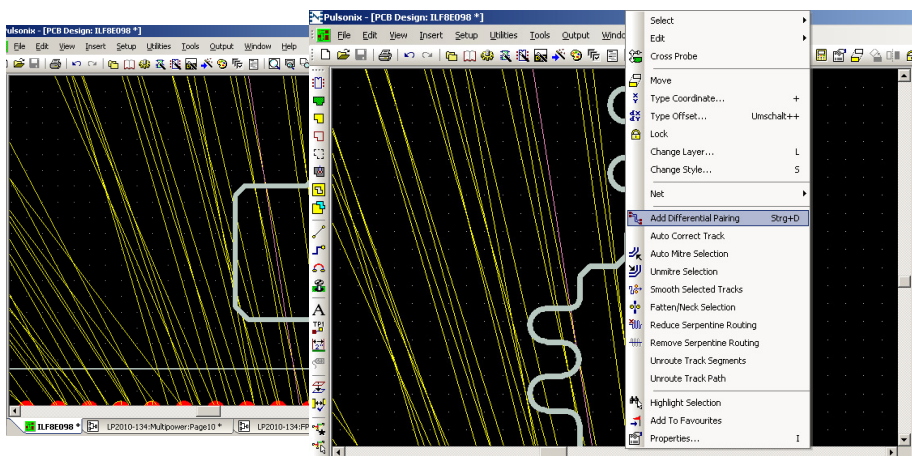
Layout

- Routing
 - Überprüfen der Netzklassen-Zuordnung
 - Definition der Design Rules



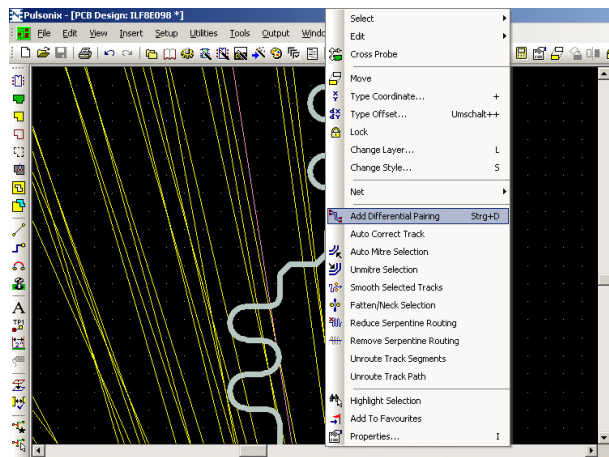
Layout

- Routing
 - Routen der Constraint-Driven Signale
 - Zunächst Längenanpassung



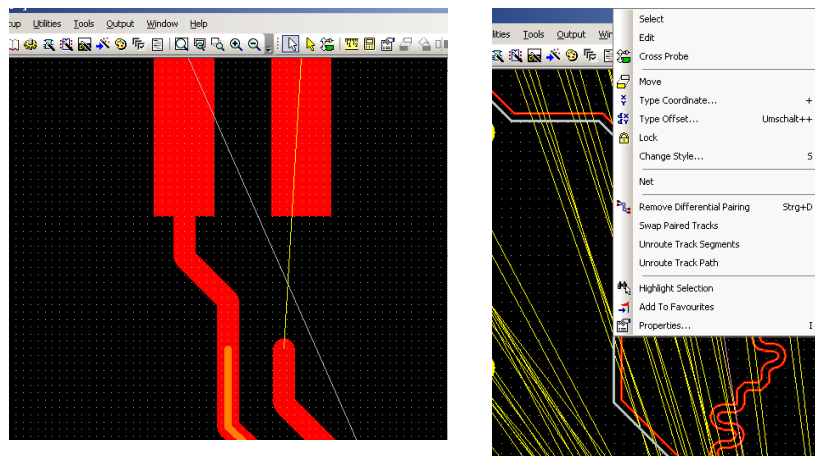
Layout

- Routing
 - Routen der Constraint-Driven Signale
 - Dann Zufügen der differentiellen Leitung



Layout

- Routing-Schwierigkeiten
 - Kein Differential Fanout
 - Längenanpassung nicht direkt für Differential Pair



Layout

● Routing-Schwierigkeiten

- Differentielle Leitungen auf unterschiedlichen Lagen haben unterschiedliche Leiterbahnbreiten und/oder Abstände. Dies ist nicht über eine Netzklasse als Constraint vorzugeben.
- Während des Designs mussten daher für einen Teil der differentiellen Leitungen neue Netzklassen definiert und zugewiesen werden.
- Diese konnten nicht in den Schaltplan zurück annotiert werden, mussten also auch dort manuell nachgetragen werden.

Layout

● Powerplanes und Split-Planes

- Powerplanes werden in der Technology vorgegeben, dort wird der Power-Lage das entsprechende Netz zugewiesen. Wärmefallen werden in der Technology definiert.

Technology [ILFA_LP2010.ptl] - Layers - Layers

Name	Associated Layer	Class
17	ZLM (Durchlöcher)	Burplan
17	Halbleiter_001	Halbleiter
17	Pin-Header	Non-Electrical
17	004 (Oberflächenpad) 001	pad
17	004 (Oberflächenpad) 002	pad
17	004 (Oberflächenpad) 003	pad
17	004 (Oberflächenpad) 004	pad
17	004 (Oberflächenpad) 005	pad
17	004 (Oberflächenpad) 006	pad
17	004 (Oberflächenpad) 007	pad
17	004 (Oberflächenpad) 008	pad
17	004 (Oberflächenpad) 009	pad
17	004 (Oberflächenpad) 010	pad
17	004 (Oberflächenpad) 011	pad
17	004 (Oberflächenpad) 012	pad
17	004 (Oberflächenpad) 013	pad
17	004 (Oberflächenpad) 014	pad
17	004 (Oberflächenpad) 015	pad
17	004 (Oberflächenpad) 016	pad
17	004 (Oberflächenpad) 017	pad
17	004 (Oberflächenpad) 018	pad
17	004 (Oberflächenpad) 019	pad
17	004 (Oberflächenpad) 020	pad
17	004 (Oberflächenpad) 021	pad
17	004 (Oberflächenpad) 022	pad
17	004 (Oberflächenpad) 023	pad
17	004 (Oberflächenpad) 024	pad
17	004 (Oberflächenpad) 025	pad
17	004 (Oberflächenpad) 026	pad
17	004 (Oberflächenpad) 027	pad
17	004 (Oberflächenpad) 028	pad
17	004 (Oberflächenpad) 029	pad
17	004 (Oberflächenpad) 030	pad
17	004 (Oberflächenpad) 031	pad
17	004 (Oberflächenpad) 032	pad
17	004 (Oberflächenpad) 033	pad
17	004 (Oberflächenpad) 034	pad
17	004 (Oberflächenpad) 035	pad
17	004 (Oberflächenpad) 036	pad
17	004 (Oberflächenpad) 037	pad
17	004 (Oberflächenpad) 038	pad
17	004 (Oberflächenpad) 039	pad
17	004 (Oberflächenpad) 040	pad
17	004 (Oberflächenpad) 041	pad
17	004 (Oberflächenpad) 042	pad
17	004 (Oberflächenpad) 043	pad
17	004 (Oberflächenpad) 044	pad
17	004 (Oberflächenpad) 045	pad
17	004 (Oberflächenpad) 046	pad
17	004 (Oberflächenpad) 047	pad
17	004 (Oberflächenpad) 048	pad
17	004 (Oberflächenpad) 049	pad
17	004 (Oberflächenpad) 050	pad
17	004 (Oberflächenpad) 051	pad
17	004 (Oberflächenpad) 052	pad
17	004 (Oberflächenpad) 053	pad
17	004 (Oberflächenpad) 054	pad
17	004 (Oberflächenpad) 055	pad
17	004 (Oberflächenpad) 056	pad
17	004 (Oberflächenpad) 057	pad
17	004 (Oberflächenpad) 058	pad
17	004 (Oberflächenpad) 059	pad
17	004 (Oberflächenpad) 060	pad
17	004 (Oberflächenpad) 061	pad
17	004 (Oberflächenpad) 062	pad
17	004 (Oberflächenpad) 063	pad
17	004 (Oberflächenpad) 064	pad
17	004 (Oberflächenpad) 065	pad
17	004 (Oberflächenpad) 066	pad
17	004 (Oberflächenpad) 067	pad
17	004 (Oberflächenpad) 068	pad
17	004 (Oberflächenpad) 069	pad
17	004 (Oberflächenpad) 070	pad
17	004 (Oberflächenpad) 071	pad
17	004 (Oberflächenpad) 072	pad
17	004 (Oberflächenpad) 073	pad
17	004 (Oberflächenpad) 074	pad
17	004 (Oberflächenpad) 075	pad
17	004 (Oberflächenpad) 076	pad
17	004 (Oberflächenpad) 077	pad
17	004 (Oberflächenpad) 078	pad
17	004 (Oberflächenpad) 079	pad
17	004 (Oberflächenpad) 080	pad
17	004 (Oberflächenpad) 081	pad
17	004 (Oberflächenpad) 082	pad
17	004 (Oberflächenpad) 083	pad
17	004 (Oberflächenpad) 084	pad
17	004 (Oberflächenpad) 085	pad
17	004 (Oberflächenpad) 086	pad
17	004 (Oberflächenpad) 087	pad
17	004 (Oberflächenpad) 088	pad
17	004 (Oberflächenpad) 089	pad
17	004 (Oberflächenpad) 090	pad
17	004 (Oberflächenpad) 091	pad
17	004 (Oberflächenpad) 092	pad
17	004 (Oberflächenpad) 093	pad
17	004 (Oberflächenpad) 094	pad
17	004 (Oberflächenpad) 095	pad
17	004 (Oberflächenpad) 096	pad
17	004 (Oberflächenpad) 097	pad
17	004 (Oberflächenpad) 098	pad
17	004 (Oberflächenpad) 099	pad
17	004 (Oberflächenpad) 100	pad

Technology [ILFA_LP2010.ptl] - Rules - DFM/DFI Rules

Rule Level: Design

Test Points: Probe Side: Bottom, Min Probe Count per Net: 0, Probe On: Through Hole, Surface Mount, Vias

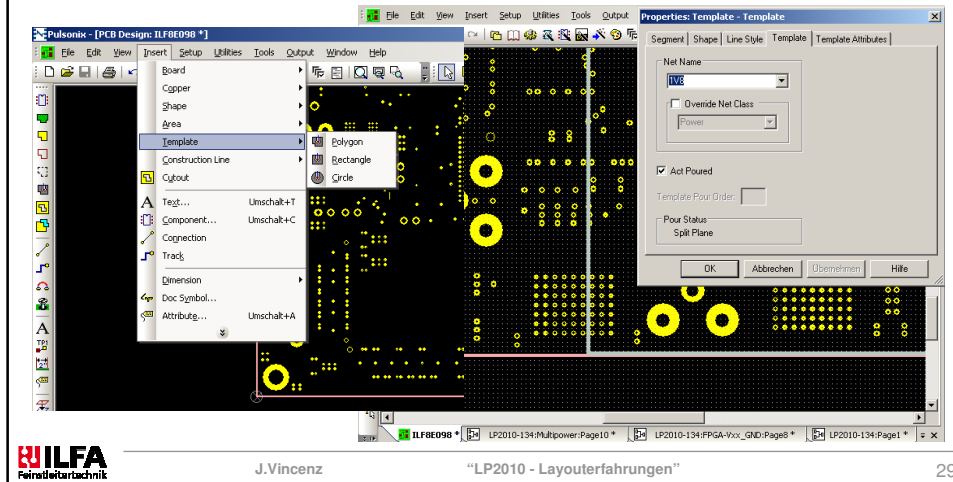
Thermal Rules: Design Override, Surface Mount Pads, Surface Mount Pads, Through Hole Pads, Vias, SPOKE STYLE: 10, 20, 30, 40, 50, 60, 70, 80, 90, 100, 110, 120, 130, 140, 150, 160, 170, 180, 190, 200

Copper Pour: Avoid Same Net: , Minimum Island Size: 2.000 mm sq, Isolated Islands: Remove: , Make Non Connecting: , Hatched: , Style: Cross Hatched

Teardrops: Shape: Triangle, V Angle: 50.0, Apply To: Through Hole, Round Pads Only, Surface Mount, Vias

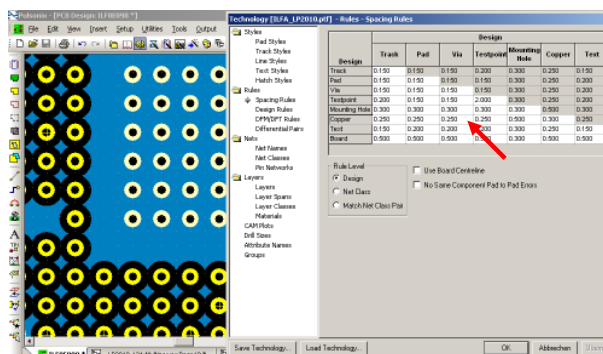
Layout

- Powerplanes und Split-Planes
 - Bei Split-Powerplanes werden entsprechende Copper-Templates auf der Power-Lage erzeugt, denen dann das jeweilige Netz zugewiesen wird.



Layout

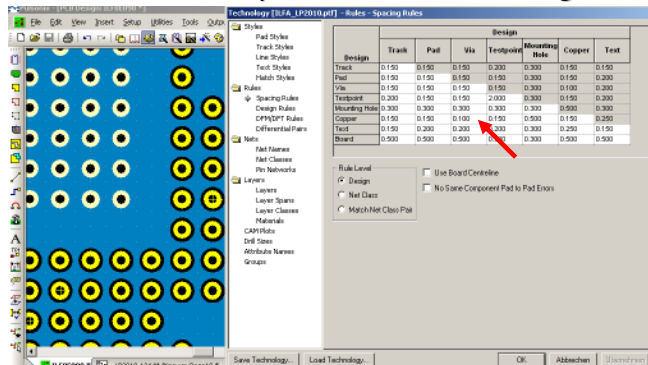
- Powerplanes und Split-Planes
 - Die Isolation in Powerplanes wird mit den Spacing Rules für Copper festgelegt.
 - Problem: Das Programm nimmt als Grundlage das Pad, nicht die Bohrung, dadurch kommt es innerhalb der BGA's zur vollständigen Isolation der inneren Anschlüsse.



Layout

- Powerplanes und Split-Planes

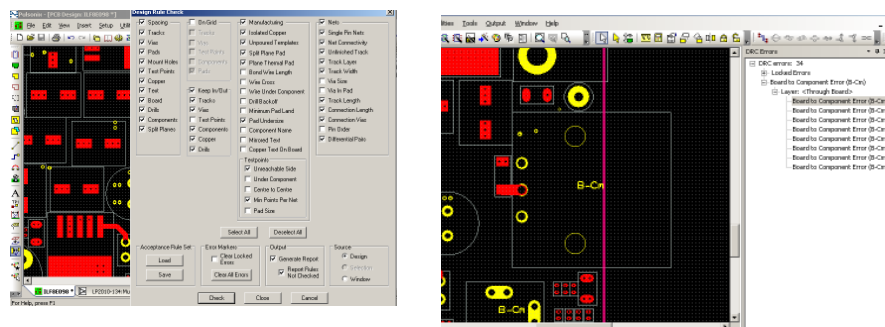
- Workaround: Zunächst werden alle Kupferflächen auf den Signal-Lagen mit den entsprechenden Spacing-Rules erzeugt und gefüllt. Als letzter Schritt vor dem Design-Rule-Check wird das Spacing für Copper-Via auf $100\mu\text{m}$ gesetzt und die Powerplanes werden erzeugt.



Layout

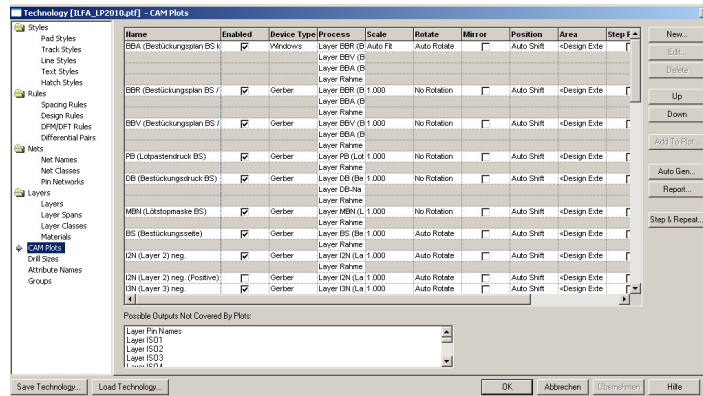
- Design-Rule-Check

- Wenn mit eingeschaltetem Online-DRC gearbeitet wurde, sollten nicht allzu viele Errors übrig sein. Diese können über den Error-Browser direkt annavigiert und überprüft werden.
- „Unvermeidbare“ Errors (z.B. Bauteile, die über die Board-Outline hinausragen), können fixiert (locked) werden.



Postprozess

- Gerberdaten, Bohrdaten und Kontrollausdrucke
 - Zusammenstellung und Anlage der Gerberdaten werden in der Technology definiert.
 - Darstellung und Plotausgabe für Pads, Vias und Testpunkte werden über die Layer-Klassen gesteuert.



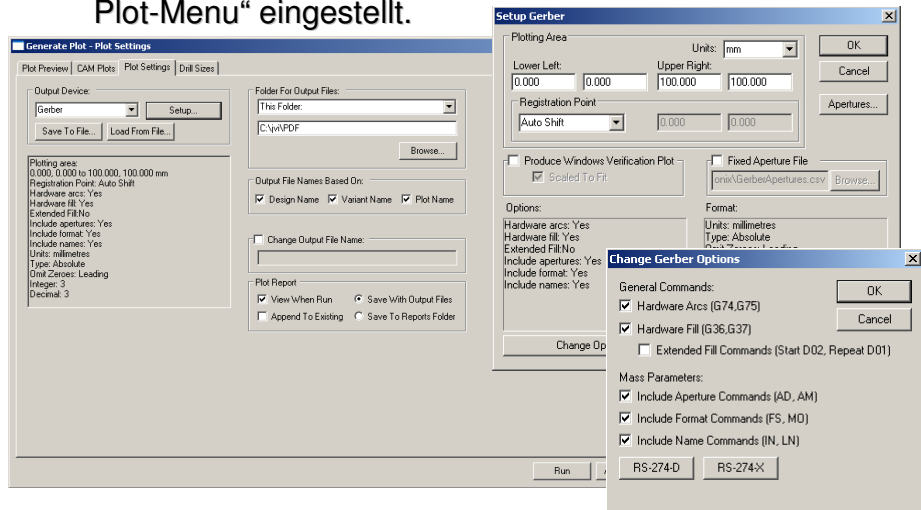
Postprozess

- Beispiel für Einstellungen in den Layer-Classes



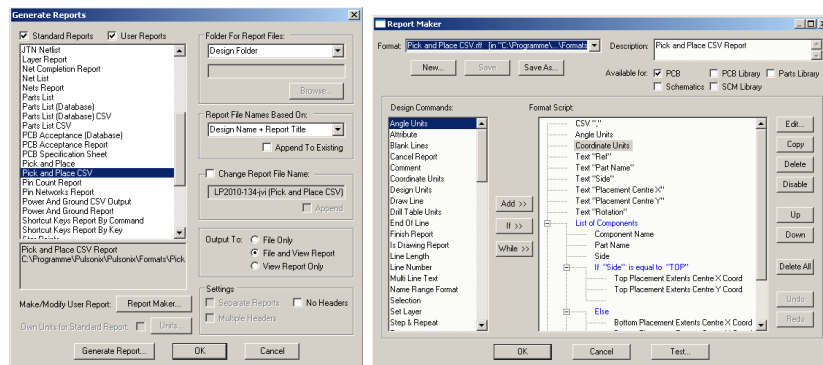
Postprozess

- Einstellungen für die Datenausgabe
 - Die Parameter für die Datenausgabe werden im „CAM-Plot-Menu“ eingestellt.



Postprozess

- Bauteilmittelpunkt-Koordinaten
 - Für die Ausgabe der Bauteilmittelpunkt-Koordinaten wird ein selbstkonfigurierter Report genutzt.
 - Für die Ausgabe einer Netzliste für den elektronischen Bare-Board-Test kann der IPC-D-356 Report genutzt werden.



Unterstützung

- Hilfe und Support
 - Die Online-Hilfe ist ausführlich und kann kontextabhängig aufgerufen werden.
 - Besonders positiv ist der kompetente und freundliche Support durch die Firma Tecnotron aufgefallen.
 - Die Entwickler der Software (West Dev.) reagieren prompt auf Meldungen von Bugs, diese werden so schnell als irgend möglich beseitigt, sie sind üblicherweise im nächsten Software-Build („Zwischen-Release“) bereinigt.
 - Diverse Anregungen zur Verbesserung der Software wurden in den nachfolgenden Releases aufgenommen, auch da ist festzustellen, dass das Entwicklungsteam nah am Kunden arbeitet, unabhängig von der Anzahl der eingesetzten Lizenzen.

Fazit

- Kann man mit einem günstigen Tool höchste Designanforderungen erfüllen?
 - Die Antwort lautet „JA“ mit kleinen Einschränkungen im Komfort und bei Automatismen.
 - Diese kleinen Einschränkungen fallen jedoch weniger ins Gewicht, wenn man bedenkt, dass zum Ausgleich keine lange Einarbeitung in das Tool nötig ist.
 - Generell gilt für jedes Tool :

Die Intelligenz sitzt VOR dem Rechner !

LP2010 – Layouterfahrungen

Besonders danken möchte ich an dieser Stelle der Firma Tecnotron in Weissensberg für die Hilfe und Unterstützung.



LP2010 – Layouterfahrungen

Haben sie noch Fragen? So es denn in meiner Macht steht, will ich sie gerne beantworten.

Ich danke Ihnen für Ihre Aufmerksamkeit.

